

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09063266 A**

(43) Date of publication of application: **07 . 03 . 97**

(51) Int. Cl

G11C 11/403

(21) Application number: **07210643**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(22) Date of filing: **18 . 08 . 95**

(72) Inventor: **OISHI TSUKASA**

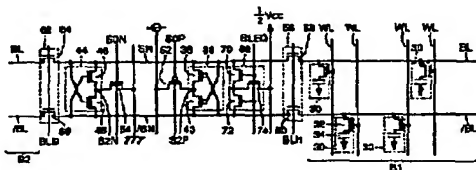
(54) **SEMICONDUCTOR STORAGE AND
SEMICONDUCTOR CIRCUIT DEVICE**

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce power consumption in a self refresh mode.

SOLUTION: In a DRAM adopting a shared sense amplifier system, a potential difference occurs between bit line pair BL, /BL and sense nodes SN and /SN in response to activation of a word line WL in the self refresh mode. Thereafter, a bit line selection signal BL11 is lowered to the ground potential for separating the bit line pair BL, /BL in a memory block B1 containing the activated word line WL from the sense amplifiers 36 and 44. Then, after the potential of the sense nodes SN and /SN are amplified by the sense amplifiers 36 and 44, the separated bit line pair BL, /BL are connected to the sense amplifiers 36 and 44 again.

COPYRIGHT: (C)1997,JPO



1

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平9-63266

(43)公開日 平成9年(1997)3月7日

(51)Int.Cl.⁶

G11C 11/403

識別記号

F I

G11C 11/34

363

M

審査請求 未請求 請求項の数17 O L (全44頁)

(21)出願番号 特願平7-210643

(22)出願日 平成7年(1995)8月18日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 大石 司

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

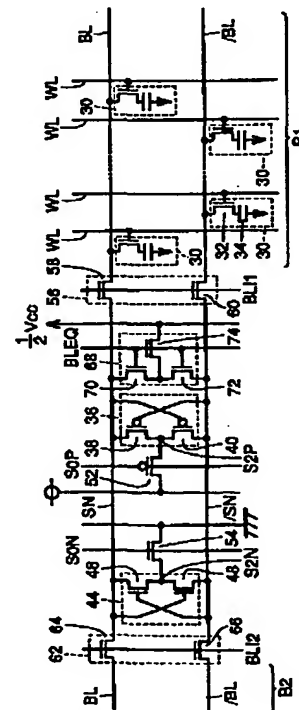
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 半導体記憶装置、および半導体回路装置

(57)【要約】

【課題】 セルフリフレッシュモードにおける消費電力を低減する。

【解決手段】 シェアードセンスアンプ方式を採用するDRAMにおいて、セルフリフレッシュモードではワード線WLの活性化に応答してビット線対BL、/BLおよびセンスノードSNおよび/SNの間に電位差が生じた後に、その活性化されたワード線WLを含むメモリブロックB1内のビット線対BL、/BLをセンスアンプ36および44から切離すために、ビット線選択信号BLI1を接地電位まで下降させる。そして、センスノードSNおよび/SNの電位がセンスアンプ36および44によって増幅された後に、その切離されたビット線対BL、/BLが再びセンスアンプ36および44に接続されるように構成した。



【特許請求の範囲】

【請求項 1】 通常動作モードおよび前記通常動作モードよりも動作速度の遅い特殊動作モードを有する半導体記憶装置であって、

第 1 および第 2 のセンスノードと、

前記第 1 および第 2 のセンスノードに接続され、前記第 1 および第 2 のセンスノード間に生じた電位差を増幅するセンスアンプと、

前記センスアンプの一方側に配置された第 1 のビット線対と、

前記センスアンプの他方側に配置された第 2 のビット線対と、

前記第 1 および第 2 のビット線対と交差する複数のワード線と、

行アドレス信号にตอบสนองして前記ワード線を選択的に活性化する行デコーダと、

前記第 1 および第 2 のセンスノードと前記第 1 のビット線対との間に接続された第 1 のスイッチ手段と、

前記第 1 および第 2 のセンスノードと前記第 2 のビット線対との間に接続された第 2 のスイッチ手段と、

前記通常動作モードでは、前記第 1 および第 2 のビット線対の一方を前記センスアンプに接続するように前記第 1 および第 2 のスイッチ手段を制御するとともに、前記特殊動作モードでは、前記第 1 および第 2 のビット線対の一方を前記センスアンプに接続し、前記接続された一方のビット線対にデータが読出された後に前記接続された一方のビット線対を前記センスアンプから切離し、前記センスアンプが活性化された後に前記切離された一方のビット線対を再び前記センスアンプに接続するように前記第 1 および第 2 のスイッチ手段を制御する制御手段とを備えた半導体記憶装置。

【請求項 2】 前記特殊動作モードはセルフリフレッシュモードであり、

所定のセルフリフレッシュイネーブル信号にตอบสนองして内部行アドレス信号を順次生成する内部アドレス生成手段と、

前記セルフリフレッシュイネーブル信号にตอบสนองして前記内部行アドレス信号および外部から与えられた外部行アドレス信号の一方を選択し、その選択された行アドレス信号を前記行デコーダに供給する選択手段とをさらに備えたことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】 通常動作モードおよび前記通常動作モードよりも動作速度の遅い特殊動作モードを有する半導体記憶装置であって、

ビット線対と、

(a) 第 1 の共通ソースノードと、

(b) 前記第 1 の共通ソースノードに接続されたソースと、前記ビット線対の一方ビット線に接続されたドレインと、前記ビット線対の他方ビット線に接続されたゲ

ートとを有する第 1 の N チャネルトランジスタと、

(c) 前記第 1 の共通ソースノードに接続されたソースと、前記ビット線対の他方ビット線に接続されたドレインと、前記ビット線対の一方ビット線に接続されたゲートとを有する第 2 の N チャネルトランジスタと、

(d) 第 2 の共通ソースノードと、

(e) 前記第 2 の共通ソースノードに接続されたソースと、前記ビット線対の一方ビット線に接続されたドレインと、前記ビット線対の他方ビット線に接続されたゲートとを有する第 1 の P チャネルトランジスタと、

(f) 前記第 2 の共通ソースノードに接続されたソースと、前記ビット線対の他方ビット線に接続されたドレインと、前記ビット線対の一方ビット線に接続されたゲートとを有する第 2 の P チャネルトランジスタを含むセンスアンプと、

前記通常動作モードでは第 1 のセンスアンプ駆動信号にตอบสนองして前記第 1 の共通ソースノードの電位を第 1 の速度で接地電位に向かって下降させることにより前記センスアンプを駆動するとともに、前記特殊動作モードでは前記第 1 のセンスアンプ駆動信号にตอบสนองして前記第 1 の共通ソースノードの電位を前記第 1 の速度よりも速い第 2 の速度で前記接地電位に向かって下降させることにより前記センスアンプを駆動する第 1 のセンスアンプ駆動手段とを備えた半導体記憶装置。

【請求項 4】 前記通常動作モードでは第 2 のセンスアンプ駆動信号にตอบสนองして前記第 2 の共通ソースノードの電位を第 3 の速度で電源電位に向かって上昇させることにより前記センスアンプを駆動するとともに、前記特殊動作モードでは前記第 2 のセンスアンプ駆動信号にตอบสนองして前記第 2 の共通ソースノードの電位を前記第 3 の速度よりも速い第 4 の速度で前記電源電位に向かって上昇させることにより前記センスアンプを駆動する第 2 のセンスアンプ駆動手段をさらに備えたことを特徴とする請求項 3 に記載の半導体記憶装置。

【請求項 5】 通常動作モードおよび前記通常動作モードよりも動作速度の遅い特殊動作モードを有する半導体記憶装置であって、

ビット線対と、

(a) 第 1 の共通ソースノードと、

(b) 前記第 1 の共通ソースノードに接続されたソースと、前記ビット線対の一方ビット線に接続されたドレインと、前記ビット線対の他方ビット線に接続されたゲートとを有する第 1 の N チャネルトランジスタと、

(c) 前記第 1 の共通ソースノードに接続されたソースと、前記ビット線対の他方ビット線に接続されたドレインと、前記ビット線対の一方ビット線に接続されたゲートとを有する第 2 の N チャネルトランジスタと、

(d) 第 2 の共通ソースノードと、

(e) 前記第 2 の共通ソースノードに接続されたソースと、前記ビット線対の一方ビット線に接続されたドレ

10

20

30

40

50

インと、前記ビット線対の他方ビット線に接続されたゲートとを有する第 1 の P チャネルトランジスタと、

(f) 前記第 2 の共通ソースノードに接続されたソースと、前記ビット線対の他方ビット線に接続されたドレインと、前記ビット線対の一方ビット線に接続されたゲートとを有する第 2 の P チャネルトランジスタとを含むセンスアンプと、

前記通常動作モードでは第 2 のセンスアンプ駆動信号に応答して前記第 2 の共通ソースノードの電位を第 3 の速度で電源電位に向かって上昇させることにより前記センスアンプを駆動するとともに、前記特殊動作モードでは前記第 2 のセンスアンプ駆動信号に応答して前記第 2 の共通ソースノードの電位を前記第 3 の速度よりも速い第 4 の速度で前記電源電位に向かって上昇させることにより前記センスアンプを駆動する第 2 のセンスアンプ駆動手段とを備えた半導体記憶装置。

【請求項 6】 通常動作モードおよび前記通常動作モードよりも動作速度の遅い特殊動作モードを有する半導体回路装置であって、内部電源線と、

前記内部電源線に接続され、所定の活性化信号に応答して活性化される内部回路と、

第 1 の供給能力および前記第 1 の供給能力よりも大きい第 2 の供給能力を有し、外部電源電位に基づいて前記外部電源電位よりも低い内部電源電位を前記内部電源線に供給する内部電源電位供給手段と、

前記通常動作モードでは前記活性化信号に応答して前記内部電源電位供給手段を前記第 2 の供給能力で活性化し、前記特殊動作モードでは前記活性化信号に応答して前記内部電源電位供給手段を前記第 1 の供給能力で活性化する活性化手段とを備えた半導体回路装置。

【請求項 7】 通常動作モードおよび前記通常動作モードよりも動作速度の遅い特殊動作モードを有する半導体回路装置であって、内部電源線と、

前記内部電源線に接続され、所定の活性化信号に応答して活性化される内部回路と、

常時活性状態にあり、外部電源電位に基づいて前記外部電源電位よりも低い内部電源電位を前記前記内部電源線に供給する第 1 の内部電源電位供給手段と、

前記外部電源電位に基づいて前記内部電源電位を前記内部電源線に供給する第 2 の内部電源電位供給手段と、前記通常動作モードでは前記活性化信号に応答して前記第 2 の内部電源電位供給手段を活性化するとともに、前記特殊動作モードでは前記活性化信号にかかわらず前記第 2 の内部電源電位供給手段を不活性状態に維持する活性化／不活性化手段とを備えた半導体回路装置。

【請求項 8】 前記外部電源電位が与えられる外部電源ノードと前記内部電源線との間に接続され、一定の基準電位が与えられるゲートとを有する N チャネルトランジ

スタをさらに備えたことを特徴とする請求項 7 に記載の半導体回路装置。

【請求項 9】 前記 N チャネルトランジスタはゼロボルトのしきい電圧を有し、前記一定の基準電位は前記内部電源電位に等しいことを特徴とする請求項 8 に記載の半導体回路装置。

【請求項 10】 前記外部電源電位に基づいて前記内部電源電位を前記内部電源線に供給する第 3 の内部電源電位供給手段をさらに備え、

10 前記活性化／不活性化手段は、前記通常および特殊動作モードのいずれでも前記活性化信号に応答して前記第 3 の内部電源電位供給手段を活性化することを特徴とする請求項 7 に記載の半導体回路装置。

【請求項 11】 通常動作モードおよび前記通常動作モードよりも動作速度の遅い特殊動作モードを有する半導体回路装置であって、

前記内部電源線と、

前記内部電源線に接続された内部回路と、

外部電源電位が与えられる外部電源ノードと前記内部電源線との間に接続された駆動トランジスタと、

20 前記通常動作モードでは第 1 の基準電位を生成するとともに、前記特殊動作モードでは前記第 1 の基準電位よりも低い第 2 の基準電位を生成する基準電位生成手段と、前記内部電源線の電位が前記基準電位生成手段によって生成された基準電位よりも低いとオンになるように、前記内部電源線の電位が前記基準電位生成手段によって生成された基準電位よりも高いとオフになるように、前記駆動トランジスタを制御する制御手段とを備えた半導体回路装置。

30 【請求項 12】 通常動作モードおよび前記通常動作モードよりも動作速度の遅い特殊動作モードを有し、電源電位よりも高い昇圧電源電位に基づいて動作する内部回路を含む半導体回路装置であって、

前記昇圧電位が与えられる昇圧電源ノードと前記内部回路との間に接続された第 1 のトランジスタと、

前記電源電位が与えられる電源ノードと前記内部回路との間に接続された第 2 のトランジスタと、

40 前記通常動作モードでは前記第 2 のトランジスタがオフ状態を維持しかつ前記第 1 のトランジスタがオンになるように制御するとともに、前記特殊動作モードでは前記第 2 のトランジスタが所定期間オンになりかつ前記所定期間の経過後に前記第 1 のトランジスタがオンになるように制御する制御手段とを備えた半導体回路装置。

【請求項 13】 通常動作モードおよびセルフリフレッシュモードを有する半導体記憶装置であって、

各々が、複数のワード線と、前記ワード線に交差する複数のビット線対と、前記ワード線およびビット線対の交点に対応して設けられた複数のメモリセルとを含む複数のメモリブロックと、

50 前記複数のメモリブロックのうちデータが格納されてい

るメモリセルを含むメモリブロックを選択的にリフレッシュする選択リフレッシュ手段とを備えた半導体記憶装置。

【請求項 1 4】 前記選択リフレッシュ手段は、前記メモリブロックに対応して設けられ、各々が対応するメモリブロックにデータが格納されているか否かを示すフラグを格納する複数のフラグ格納手段と、前記メモリブロックのいずれかにデータが格納されているときそのメモリブロックに対応するフラグ格納手段のフラグを活性化するフラグ活性化手段と、内部行アドレスストロブ信号にตอบสนองして内部行アドレス信号を順次生成する内部アドレス生成手段と、前記内部行アドレス信号にตอบสนองして前記ワード線を選択的に活性化する行デコーダと、前記内部行アドレス信号を前記フラグ格納手段のフラグと比較し、前記内部行アドレス信号がその活性化されたフラグのフラグ格納手段に対応するメモリブロック内のワード線を示す場合に所定の禁止信号を生成する比較手段と、前記禁止信号にตอบสนองして前記行デコーダへの前記内部行アドレスストロブ信号の供給を遮断するスイッチ手段とを含むことを特徴とする請求項 1 3 に記載の半導体記憶装置。

【請求項 1 5】 通常動作モードおよびセルフリフレッシュモードを有する半導体記憶装置であって、前記通常動作において行アドレス信号の一部にตอบสนองして前記複数のワード線に対応する複数のワード線駆動信号を生成するワード線駆動信号生成手段と、前記通常動作モードにおいて前記行アドレス信号の他の一部にตอบสนองしてプリデコード信号を生成するプリデコーダと、前記複数のワード線グループに対応して設けられ、前記通常動作モードでは前記プリデコード信号にตอบสนองして選択的に活性化され、各々が前記ワード線駆動信号にตอบสนองして対応するワード線グループ内のワード線を選択的に活性化する複数のデコーダユニットと、前記セルフリフレッシュモードにおいて前記複数のデコーダユニットを順次選択的に活性化する第 1 のシフトレジスタと、前記セルフリフレッシュモードにおいて前記複数のワード線駆動信号を順次選択的に活性化する第 2 のシフトレジスタとを備えた半導体記憶装置。

【請求項 1 6】 前記第 1 のシフトレジスタが前記複数のデコーダユニットのうち最後のデコーダユニットを活性化した後前記第 2 のシフトレジスタをインクリメントするインクリメント手段をさらに備えたことを特徴とする請求項 1 5 に記載の半導体記憶装置。

【請求項 1 7】 通常動作モードおよびセルフリフレッシュモードを有する半導体記憶装置であって、各々が複数のビット線対を含む第 1 および第 2 のメモリ

ブロックと、

前記第 1 および第 2 のメモリブロック間に配置され、前記複数のビット線対に対応する複数のセンスアンプを含むセンスアンプ列と、

前記第 1 のメモリブロック内の複数のビット線対に対応して設けられ、各々が対応するビット線対およびセンスアンプ間に接続された複数の第 1 のスイッチ手段と、前記第 2 のメモリブロック内の複数のビット線対に対応して設けられ、各々が対応するビット線対およびセンスアンプ間に接続された複数の第 2 のスイッチ手段と、

(i) 前記通常動作モードでは行アドレス信号が与えられるごとにその行アドレス信号にตอบสนองして選択されるべき一方のメモリブロック内のビット線対を前記センスアンプに接続し続けかつその選択されない他方のメモリブロック内のビット線対を前記センスアンプから切離すように前記第 1 および第 2 のスイッチ手段を制御するとともに、 (ii) 前記セルフリフレッシュモードでは今回与えられた行アドレス信号にตอบสนองして選択されるべきメモリブロックがその 1 つ前に与えられた行アドレス信号にตอบสนองして既に選択されているメモリブロックと同じ場合はその選択されるべき一方のメモリブロック内のビット線対を前記センスアンプに接続し続けかつその選択されていない他方のメモリブロック内のビット線対を前記センスアンプから切離し続け、そうでない場合はその選択されるべき一方のメモリブロック内のビット線対を前記センスアンプに接続しかつその既に選択されている他方のメモリブロック内のビット線対を前記センスアンプから切離すように前記第 1 および第 2 のスイッチ手段を制御する制御手段とを備えた半導体記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】 この発明は半導体回路装置に関し、さらに詳しくは、通常動作モードおよびセルフリフレッシュモードを有する半導体記憶装置に関する。

【 0 0 0 2 】

【従来の技術】 図 3 9 は、従来のダイナミックランダムアクセスメモリ（以下「DRAM」という）の一部構成を示す回路図である。図 2 を参照して、この DRAM は、P チャネルセンスアンプ 3 6 および N チャネルセンスアンプ 4 4 からなるセンスアンプと、このセンスアンプの一方側に配置されたビット線対 BL、/BL と、このセンスアンプの他方側に配置されたもう 1 つのビット線対 BL、/BL と、ビット線選択信号 BLI 1 にตอบสนองしてその一方側に配置されたビット線対 BL、/BL をセンスアンプに接続するスイッチ回路 5 6 と、ビット線選択信号 BLI 2 にตอบสนองしてその他方側に配置されたビット線対 BL、/BL をセンスアンプに接続するスイッチ回路 6 2 とを備える。すなわち、この DRAM はシェアードセンスアンプ方式を採用しているので、このセンスアンプはその両側に配置された 2 つのビット線対 B

10

20

30

40

50

L, /BLの一方を選択し、その選択されたビット線対BL, /BLに生じた電位差を増幅する。

【0003】図40は、図39に示されたシェアドセンスアンプの動作を示すタイミング図であり、図中縦軸は電位を示し、横軸は時間を示す。図40に示されるように、最初はビット線対BL, /BLがビット線イコライズ/プリチャージ回路68によって中間電位(1/2)Vccにプリチャージされるとともに、電源電位Vccよりも高い昇圧電源電位Vppがそれぞれビット線選択信号BLI1およびBLI2としてスイッチ回路56および62に与えられる。そのため、両側のビット線対BL, /BLがセンスアンプに接続されている。

【0004】ここで、たとえばメモリブロックB1が選択される場合は、ビット線選択信号BLI2の電位のみが昇圧電位Vppから接地電位GNDに下降する。それによりメモリブロックB2内のビット線対BL, /BLがセンスアンプから切離され、メモリブロックB1内のビット線対BL, /BLのみがセンスアンプに接続される。

【0005】次いでワード線WLの電位が接地電位GNDから昇圧電源電位Vppに上昇すると、そのワード線WLに接続されたメモリセル30からビット線BLに電荷が流出し、それにより一方のビット線BLと他方のビット線/BLとの間に電位差が生じる。ここでは、ビット線BLの電位がPチャネルセンスアンプ36によって電源電位Vccまで上昇させられ、ビット線/BLの電位がNチャネルセンスアンプ44によって接地電位GNDまで下降させられる。

【0006】このようにDRAMの通常動作モードでは、ビット線BLおよび/BLの電位がそれぞれ電源電位Vccおよび接地電位GNDに到達するまでの間、ビット線選択信号BLI1は昇圧電源電位Vppに維持される。そのため、ビット線対BL, /BLの増幅が完了するまでそのビット線対BL, /BLは継続的にセンスアンプに接続される。このようなシェアドセンスアンプの動作は通常動作モードのときだけでなく、セルフリフレッシュモードのときも同様に行なわれる。

【0007】ところで、図41はDRAMなどで用いられる従来の内部降圧回路の構成を示す回路図である。図41を参照して、この内部降圧回路は、一定の基準電位Vref1を生成する基準電位生成回路182と、常時活性化されている電圧ダウンコンバータ164と、選択的に活性化される電圧ダウンコンバータ190とを備える。待機状態では電流供給能力の小さい電圧ダウンコンバータ164のみが動作する。他方、活性状態では電圧ダウンコンバータ164に加えて電流供給能力の大きい電圧ダウンコンバータ190も動作する。すなわち、内部行アドレスストロブ信号RASIに応答して内部回路180が活性化されると、比較回路192もまた内部行アドレスストロブ信号RASIに応答して活性化さ

れるので、この内部降圧回路は待機状態よりも大量の電流を内部回路180に供給することができる。

【0008】このように従来の内部降圧回路では、通常動作モードだけでなくセルフリフレッシュモードでも同様に、電流供給能力の大きい電圧ダウンコンバータ190が内部行アドレスストロブ信号RASIに応答して活性化される。

【0009】

【発明が解決しようとする課題】一般に、セルフリフレッシュモードでは通常動作モードと同じ程度の高速度性は要求されないにもかかわらず、図39および図40に示されるようにセルフリフレッシュモードにおけるシェアドセンスアンプの動作は通常動作モードのときと全く同じである。そのため、セルフリフレッシュモードにおいても通常動作モードと同様にビット線対の増幅時にセンスアンプ中に大量の貫通電流が流れ、それによりセルフリフレッシュモードにおいても大量の電力が消費されるという問題があった。

【0010】また、図41に示されるように従来の内部降圧回路ではセルフリフレッシュモードでも通常動作モードと同様に、電流供給能力の大きい電圧ダウンコンバータが内部行アドレスストロブ信号RASIに応答して活性化されるので、セルフリフレッシュモードでも通常動作モードと同様に大量の電力が消費されるという問題があった。

【0011】この発明の1つの目的は、通常動作モードよりも動作速度の遅い特殊動作モードにおける消費電力を低減することができる半導体記憶装置を提供することである。

【0012】この発明のもう1つの目的は、通常動作モードよりも動作速度の遅い特殊動作モードにおける消費電力を低減することができる半導体回路装置を提供することである。

【0013】

【課題を解決するための手段】この発明の1つの局面に従うと、通常動作モードおよび通常動作モードよりも動作速度の遅い特殊動作モードを有する半導体記憶装置は、第1および第2のセンスノードと、センスアンプと、第1および第2のビット線対と、複数のワード線と、行デコーダと、第1および第2のスイッチ手段と、制御手段とを備える。センスアンプは、第1および第2のセンスノードに接続され、第1および第2のセンスノード間に生じた電位差を増幅する。第1のビット線対はセンスアンプの一方側に配置される。第2のビット線対はセンスアンプの他方側に配置される。複数のワード線は第1および第2のビット線対と交差する。行デコーダは行アドレス信号に応答してワード線を選択的に活性化する。第1のスイッチ手段は第1および第2のセンスノードと第1のビット線対との間に接続される。第2のスイッチ手段は第1および第2のセンスノードと第2のビ

ット線対との間に接続される。制御手段は、通常動作モードでは、第 1 および第 2 のビット線対の一方をセンスアンプに接続するように第 1 および第 2 のスイッチ手段を制御する。制御手段はさらに、特殊動作モードでは、第 1 および第 2 のビット線対の一方をセンスアンプに接続し、その接続された一方のビット線対にデータが読出された後にその接続された一方のビット線対をセンスアンプから切離し、センスアンプが活性化された後にその切離された一方のビット線対を再びセンスアンプに接続するように第 1 および第 2 のスイッチ手段を制御する。

【0014】上記特殊動作モードは好ましくはセルフリフレッシュモードであるとともに、上記半導体記憶装置はさらに、内部アドレス生成手段と、選択手段とを備える。内部アドレス生成手段は所定のセルフリフレッシュイネーブル信号にตอบสนองして内部行アドレス信号を順次生成する。選択手段は、セルフリフレッシュイネーブル信号にตอบสนองして内部行アドレス信号および外部から与えられた外部行アドレス信号の一方を選択し、その選択された行アドレス信号を行デコーダに供給する。

【0015】したがって、特殊動作モード、好ましくはセルフリフレッシュモードではビット線対にデータが読出された後にそのビット線対がセンスアンプから切離され、そしてセンスアンプが活性化されるので、第 1 および第 2 のセンスノード間の電位差は速やかに増幅される。そのため、特殊動作モードにおいてセンスアンプ中に流れる貫通電流は通常動作モードにおけるそれよりも小さくなる。その結果、特殊動作モード、好ましくはセルフリフレッシュモードにおける消費電力が低減される。

【0016】この発明のもう 1 つの局面に従うと、通常動作モードおよび通常動作モードよりも動作速度の遅い特殊動作モードを有する半導体記憶装置は、ビット線対と、センスアンプと、第 1 のセンスアンプ駆動手段とを備える。センスアンプは、第 1 の共通ソースノードと、第 1 の N チャネルトランジスタと、第 2 の N チャネルトランジスタと、第 2 の共通ソースノードと、第 1 の P チャネルトランジスタと、第 2 の P チャネルトランジスタとを含む。第 1 の N チャネルトランジスタは、第 1 の共通ソースノードに接続されたソースと、ビット線対の一方ビット線に接続されたドレインと、ビット線対の他方ビット線に接続されたゲートとを有する。第 2 の N チャネルトランジスタは、第 1 の共通ソースノードに接続されたソースと、ビット線対の他方ビット線に接続されたドレインと、ビット線対の一方ビット線に接続されたゲートとを有する。第 1 の P チャネルトランジスタは、第 2 の共通ソースノードに接続されたソースと、ビット線対の一方ビット線に接続されたドレインと、ビット線対の他方ビット線に接続されたゲートとを有する。第 1 の P チャネルトランジスタは、第 2 の共通ソースノードに

されたドレインと、ビット線対の一方ビット線に接続されたゲートとを有する。第 1 のセンスアンプ駆動手段は、通常動作モードでは、第 1 のセンスアンプ駆動信号にตอบสนองして第 1 の共通ソースノードの電位を第 1 の速度で接地電位に向かって下降させることによりセンスアンプを駆動する。第 1 のセンスアンプ駆動手段はさらに、特殊動作モードでは、第 1 のセンスアンプ駆動信号にตอบสนองして第 1 の共通ソースノードの電位を第 1 の速度よりも速い第 2 の速度で接地電位に向かって下降させることによりセンスアンプを駆動する。

【0017】上記半導体記憶装置は好ましくはさらに、第 2 のセンスアンプ駆動手段を備える。第 2 のセンスアンプ駆動手段は、通常動作モードでは第 2 のセンスアンプ駆動信号にตอบสนองして第 2 の共通ソースノードの電位を第 3 の速度で電源電位に向かって上昇させることによりセンスアンプを駆動する。第 2 のセンスアンプ駆動手段はさらに、特殊動作モードでは、第 2 のセンスアンプ駆動信号にตอบสนองして第 2 の共通ソースノードの電位を第 3 の速度よりも速い第 4 の速度で電源電位に向かって上昇させることによりセンスアンプを駆動する。

【0018】したがって、特殊動作モードでは通常動作モードよりも遅い速度で第 1 の共通ソースノードの電位が接地電位に向かって下降するので、センスアンプ内に流れる貫通電流は通常動作モードよりも小さくなる。加えて、特殊動作モードでは通常動作モードよりも遅い速度で第 2 の共通ソースノードの電位が電源電位に向かって上昇するので、センスアンプ内に流れる貫通電流が通常動作モードよりもさらに小さくなる。その結果、特殊動作モードにおける消費電力が通常動作モードよりも低減される。

【0019】この発明のさらにもう 1 つの局面に従うと、通常動作モードおよび通常動作モードよりも動作速度の遅い特殊動作モードを有する半導体記憶装置は、ビット線対と、センスアンプと、第 2 のセンスアンプ駆動手段とを備える。センスアンプは、第 1 の共通ソースノードと、第 1 の N チャネルトランジスタと、第 2 の N チャネルトランジスタと、第 2 の共通ソースノードと、第 1 の P チャネルトランジスタと、第 2 の P チャネルトランジスタとを含む。第 1 の N チャネルトランジスタは、第 1 の共通ソースノードに接続されたソースと、ビット線対の一方ビット線に接続されたドレインと、ビット線対の他方ビット線に接続されたゲートとを有する。第 2 の N チャネルトランジスタは、第 1 の共通ソースノードに接続されたソースと、ビット線対の他方ビット線に接続されたドレインと、ビット線対の一方ビット線に接続されたゲートとを有する。第 1 の P チャネルトランジスタは、第 2 の共通ソースノードとに接続されたソースと、ビット線対の一方ビット線に接続されたドレインと、ビット線対の他方ビット線に接続されたゲートとを有する。第 2 の P チャネルトランジスタは、第 2 の共通

10

20

30

40

50

ソースノードに接続されたソースと、ビット線対の他方ビット線に接続されたドレインと、ビット線対の一方ビット線に接続されたゲートとを有する。第2のセンスアンプ駆動手段は、通常動作モードでは、第2のセンスアンプ駆動信号にตอบสนองして第2の共通ソースノードの電位を第3の速度で電源電位に向かって上昇させることによりセンスアンプを駆動する。第2のセンスアンプ駆動手段はさらに、特殊動作モードでは、第2のセンスアンプ駆動信号にตอบสนองして第2の共通ソースノードの電位を第3の速度よりも速い第4の速度で電源電位に向かって上

【0020】したがって、特殊動作モードでは、通常動作モードよりも遅い速度で第2の共通ソースノードの電位が電源電位に向かって上昇するので、センスアンプ内に流れる貫通電流は通常動作モードよりも小さくなる。その結果、特殊動作モードにおける消費電力が通常動作モードよりも低減される。

【0021】この発明のさらにもう1つの局面に従うと、通常動作モードおよび通常動作モードよりも動作速度の遅い特殊動作モードを有する半導体回路装置は、内部電源線と、内部回路と、内部電源電位供給手段と、活性化手段とを備える。内部回路は、内部電源線に接続され、所定の活性化信号にตอบสนองして活性化される。内部電源電位供給手段は、第1の供給能力および第1の供給能力よりも大きい第2の供給能力を有し、外部電源電位に基づいて外部電源電位よりも低い内部電源電位を内部電源線に供給する。活性化手段は、通常動作モードでは活性化信号にตอบสนองして内部電源電位供給手段を第2の供給能力で活性化し、特殊動作モードでは活性化信号にตอบสนองして内部電源電位供給手段を第1の供給能力で活性化す

【0022】したがって、特殊動作モードでは内部電源電位供給手段が通常動作モードよりも小さい供給能力で活性化されるので、特殊動作モードにおける消費電力が通常動作モードよりも低減される。

【0023】この発明のさらにもう1つの局面に従うと、通常動作モードおよび通常動作モードよりも動作速度の遅い特殊動作モードを有する半導体回路装置は、内部電源線と、内部回路と、第1の内部電源電位供給手段と、第2の内部電源電位供給手段と、活性化／不活性化手段とを備える。内部回路は、内部電源線に接続され所定の活性化信号にตอบสนองして活性化される。第1の内部電源電位供給手段は、常時活性状態にあり、外部電源電位に基づいて外部電源電位よりも低い内部電源電位を内部電源線に供給する。第2の内部電源電位供給手段は、外部電源電位に基づいて外部電源電位よりも低い内部電源電位を内部電源線に供給する。活性化／不活性化手段は、通常動作モードでは活性化信号にตอบสนองして第2の内部電源電位供給手段を活性化する。活性化／不活性化手段はさらに、特殊動作モードでは、活性化信号にかかわ

らず第2の内部電源電位供給手段を不活性状態に維持する。

【0024】上記半導体回路装置はさらに、Nチャネルトランジスタを備える。Nチャネルトランジスタは、外部電源電位が与えられる外部電源ノードと内部電源線との間に接続され、一定の基準電位が与えられるゲートを有する。上記Nチャネルトランジスタは好ましくは、ゼロボルトのしきい電圧を有し、かつ上記一定の基準電位は内部電源電位に等しい。

【0025】したがって、通常動作モードでは第1および第2の内部電源電位供給手段が内部電源電位を供給し、さらに好ましくはこれらに加えてNチャネルトランジスタが内部電源電位を供給するのに対し、特殊動作モードでは第1の内部電源電位供給手段が内部電源電位を供給し、さらに好ましくはこれらに加えてNチャネルトランジスタが内部電源電位を供給するので、特殊動作モードにおける消費電力が通常動作モードよりも低減される。

【0026】また、上記半導体回路装置は好ましくはさらに、第3の内部電源電位供給手段を備える。第3の内部電源電位供給手段は、外部電源電位に基づいて内部電源電位を内部電源線に供給する。上記活性化／不活性化手段は通常および特殊動作モードのいずれでも活性化信号にตอบสนองして第3の内部電源電位供給手段を活性化する。

【0027】したがって、通常動作モードでは第1から第3までの内部電源電位供給手段が内部電源電位を供給するのに対し、特殊動作モードでは第1および第3の内部電源電位供給手段が内部電源電位を供給するので、特殊動作モードにおける消費電力が通常動作モードよりも低減される。

【0028】この発明のさらにもう1つの局面に従うと、通常動作モードおよび通常動作モードよりも動作速度の遅い特殊動作モードを有する半導体回路装置は、内部電源線と、内部回路と、駆動トランジスタと、基準電位生成手段と、制御手段とを備える。内部回路は、内部電源線に接続される。駆動トランジスタは外部電源電位が与えられる外部電源ノードと内部電源線との間に接続される。基準電位生成手段は、通常動作モードでは第1の基準電位を生成するとともに、特殊動作モードでは第1の基準電位よりも低い第2の基準電位を生成する。制御手段は、内部電源線の電位が基準電位生成手段によって生成された基準電位よりも低いとオンになるように、内部電源線の電位が基準電位生成手段によって生成された基準電位よりも高いとオフになるように、駆動トランジスタを制御する。

【0029】したがって、通常動作モードでは第1の基準電位に等しい内部電源電位が内部電源線に供給されるのに対し、特殊動作モードでは第2の基準電位に等しい内部電源電位が内部電源線に供給される。特殊動作モー

ドにおける内部電源線の電位が通常動作モードにおけるそれよりも低くなるので、特殊動作モードにおける内部回路の消費電力は通常動作モードよりも低減される。

【0030】この発明のさらにもう1つの局面に従うと、通常動作モードおよび通常動作モードよりも動作速度の遅い特殊動作モードを有し、電源電位よりも高い昇圧電源電位に基づいて動作する内部回路を含む半導体回路装置は、第1のトランジスタと、第2のトランジスタと、制御手段とを備える。第1のトランジスタは、昇圧電源電位が与えられる昇圧電源ノードと内部回路との間に接続される。第2のトランジスタは、電源電位が与えられる電源ノードと内部回路との間に接続される。制御手段は、通常動作モードでは第2のトランジスタがオフ状態を維持しかつ第1のトランジスタがオンになるように制御する。制御手段はさらに、特殊動作モードでは第2のトランジスタが所定期間オンになりかつ所定期間の経過後に第1のトランジスタがオンになるように制御する。

【0031】したがって、通常動作モードでは内部回路に供給される電位が接地電位から昇圧電源電位まで一気に上昇するのに対し、特殊動作モードでは内部回路に与えられる電位はまず接地電位から電源電位まで上昇し、その後電源電位から昇圧電源電位まで上昇する。上記電位は特殊動作モードでは電源電位まで電源によって引上げられるので、上記電位が一気に昇圧電源電位まで引上げられる通常動作モードよりも消費電力が低減される。

【0032】この発明のさらにもう1つの局面に従うと、通常動作モードおよびセルフリフレッシュモードを有する半導体記憶装置は、複数のメモリブロックと、選択リフレッシュ手段とを備える。複数のメモリブロックの各々は、複数のワード線と、ワード線に交差する複数のビット線対と、ワード線およびビット線対の交点に対応して設けられた複数のメモリセルとを含む。選択リフレッシュ手段は、複数のメモリブロックのうちデータが格納されているメモリセルを含むメモリブロックを選択的にリフレッシュする。

【0033】上記選択リフレッシュ手段は好ましくは、複数のフラグ格納手段と、フラグ活性化手段と、内部アドレス生成手段と、行デコーダと、比較手段と、スイッチ手段とを備える。複数のフラグ格納手段はメモリブロックに対応して設けられる。各フラグ格納手段は、対応するメモリブロックにデータが格納されているか否かを示すフラグを格納する。フラグ活性化手段は、メモリブロックのいずれかにデータが格納されているときそのメモリブロックに対応するフラグ格納手段のフラグを活性化する。内部アドレス生成手段は内部行アドレスストローブ信号にตอบสนองして内部行アドレス信号を順次生成する。行デコーダは内部行アドレス信号にตอบสนองしてワード線を選択的に活性化する。比較手段は、内部行アドレス信号をフラグ格納手段のフラグと比較し、内部行アドレ

ス信号がその活性化されたフラグのフラグ格納手段に対応するメモリブロック内のワード線を示す場合に所定の禁止信号を生成する。スイッチ手段は、禁止信号にตอบสนองして行デコーダへの内部行アドレスストローブ信号の供給を遮断する。

【0034】したがって、セルフリフレッシュモードではデータが全く格納されていないメモリブロックはリフレッシュされず、データが格納されているメモリブロックのみがリフレッシュされる。したがって、常にすべてのメモリブロックをリフレッシュする場合に比べて消費電力が低減される。

【0035】この発明のさらにもう1つの局面に従うと、通常動作モードおよびセルフリフレッシュモードを有する半導体記憶装置は、複数のワード線グループと、ワード線駆動信号生成手段と、プリデコーダと、複数のデコーダユニットと、第1および第2のシフトレジスタとを備える。複数のワード線グループの各々は複数のワード線を含む。ワード線駆動信号生成手段は、通常動作において行アドレス信号の一部にตอบสนองして複数のワード線に対応する複数のワード線駆動信号を生成する。プリデコーダは、通常動作モードにおいて行アドレス信号の他の一部にตอบสนองしてプリデコード信号を生成する。複数のデコーダユニットは、複数のワード線グループに対応して設けられ、通常動作モードではプリデコード信号にตอบสนองして選択的に活性化される。各デコーダユニットは、ワード線駆動信号にตอบสนองして代表するワード線グループ内のワード線を選択的に活性化する。第1のシフトレジスタは、セルフリフレッシュモードにおいて複数のデコーダユニットを順次選択的に活性化する。第2のシフトレジスタは、セルフリフレッシュモードにおいて複数のワード線駆動信号を順次選択的に活性化する。

【0036】上記半導体記憶装置は好ましくはさらに、インクリメント手段を備える。インクリメント手段は、第1のシフトレジスタが複数のデコーダユニットのうち最後のデコーダユニットを活性化した後第2のシフトレジスタをインクリメントする。

【0037】したがって、セルフリフレッシュモードでは第1のシフトレジスタが複数のデコーダユニットを順次選択的に活性化し、さらに複数のワード線駆動信号を順次選択的に活性化するので、ワード線を活性化するためにプリデコード信号を生成する必要がない。そのため、プリデコード信号を生成するための充放電電流が削減される。その結果、セルフリフレッシュモードにおける消費電力が低減される。

【0038】この発明のさらにもう1つの局面に従うと、通常動作モードおよびセルフリフレッシュモードを有する半導体記憶装置は、第1および第2のメモリブロックと、センスアンプ列と、複数の第1および第2のスイッチ手段と、制御手段とを備える。第1および第2のメモリブロックの各々は複数のビット線対を含む。セン

スアンプ列は、第 1 および第 2 のメモリブロック間に配置され、複数のビット線対に対応する複数のセンスアンプを含む。複数の第 1 のスイッチ手段は、第 1 のメモリブロック内の複数のビット線対に対応して設けられる。各第 1 のスイッチ手段は、対応するビット線対およびセンスアンプ間に接続される。複数の第 2 のスイッチ手段は、第 2 のメモリブロック内の複数のビット線対に対応して設けられる。各第 2 のスイッチ手段は、対応するビット線対およびセンスアンプ間に接続される。制御手段は、通常動作モードでは行アドレス信号が与えられるごと10にその行アドレス信号にตอบสนองして選択されるべき一方のメモリブロック内のビット線対をセンスアンプに接続し続けかつその選択されない他方のメモリブロック内のビット線対をセンスアンプから切離すように、第 1 および第 2 のスイッチ手段を制御する。制御手段はさらに、セルフリフレッシュモードでは、今回与えられた行アドレス信号にตอบสนองして選択されるべきメモリブロックがその1つ前に与えられた行アドレス信号にตอบสนองして既に選択されているメモリブロックと同じ場合は、その選択されるべき一方のメモリブロック内のビット線対をセンスアンプに接続し続けかつその選択されていない他方のメモリブロック内のビット線対をセンスアンプから切離し続けるとともに、そうでない場合は、その選択されるべき一方のメモリブロック内のビット線対をセンスアンプに接続し、かつその既に選択されている他方のメモリブロック内のビット線対をセンスアンプから切離すように、第 1 および第 2 のスイッチ手段を制御する。

【0039】したがって、セルフリフレッシュモードでは、同じメモリブロックが連続的に選択される場合はそのメモリブロックにおけるビット線対がセンスアンプに20継続的に接続される。そのため、メモリブロックが選択されるごとにビット線対がセンスアンプから切離される場合に比べて消費電力が低減される。

【0040】

【発明の実施の形態】以下、この発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

【0041】【実施の形態 1】図 1 は、この発明の実施の形態 1 による DRAM の全体構成を示すブロック図である。図 1 を参照して、この DRAM は、複数のメモリ40ブロック B 1、B 2 に分割されたメモリセルアレイと、メモリブロック B 1、B 2 内のビット線対を選択する列デコーダ 1 0 と、メモリブロック B 1、B 2 内のワード線を選択する行デコーダ 1 2 と、メモリブロック B 1、B 2 間に配置されたセンスアンプ列 1 4 とを備える。センスアンプ列 1 4 は、メモリブロック B 1、B 2 内のビット線対に対応して設けられる。

【0042】この DRAM はさらに、行アドレスストロープ信号/RAS、列アドレスストロープ信号/CAS などの外部制御信号にตอบสนองして内部行アドレスストロ50

ブ信号/RASI、内部列アドレスストロープ信号/CASI などの内部制御信号を発生するクロック発生器 2 0 と、CAS ビフォワ RAS のタイミングを検出しかつ所定期間経過後にセルフリフレッシュイネーブル信号 SREF を発生する CBR 検出器 2 2 と、セルフリフレッシュイネーブル信号 SREF にตอบสนองして所定周期を有するクロック信号 CLK を発生するリフレッシュタイマ 2 4 と、クロック信号 CLK にตอบสนองして内部行アドレスストロープ信号 RASI を発生する内部行アドレスストロープ信号発生器 2 6 と、内部行アドレスストロープ信号 RASI にตอบสนองしてリフレッシュのための内部行アドレス信号 RADI を順次発生する内部アドレスカウンタ 2 8 とを備える。

【0043】この DRAM はさらに、外部アドレス信号にตอบสนองして行アドレス信号 RAD および列アドレス信号 CAD を供給するアドレスバッファ 1 6 と、セルフリフレッシュイネーブル信号 SREF にตอบสนองして外部行アドレス信号 RAD および内部行アドレス信号 RADI の一方を選択し、その選択された行アドレス信号を行デコーダ 1 2 に供給するマルチプレクサ 1 8 とを備える。行デコーダ 1 2 は内部行アドレスストロープ信号/RASI にตอบสนองしてマルチプレクサ 1 8 からの行アドレス信号を取込む。列デコーダ 1 0 は列アドレスストロープ信号/CASI にตอบสนองしてアドレスバッファ 1 6 からの列アドレス信号 CAD を取込む。

【0044】図 2 は、図 1 中のメモリブロック B 1、B 2 およびセンスアンプ列 1 4 の 1 列の構成を示す回路図である。図 2 を参照して、この DRAM はシェアードセンスアンプ方式を採用する。このセンスアンプは、リストアのための P チャネルセンスアンプ 3 6 と、検知および増幅のための N チャネルセンスアンプ 4 4 とから構成される。P チャネルセンスアンプ 3 6 は、クロスカップルされた P チャネル MOS トランジスタ 3 8 および 4 0 を含む。P チャネル MOS トランジスタ 3 8 は、共通ソースノード S 2 P に接続されたソースと、センスノード SN に接続されたドレインと、センスノード/SN に接続されたゲートとを有する。P チャネル MOS トランジスタ 4 0 は共通ソースノード S 2 P に接続されたソースと、センスノード/SN に接続されたドレインと、センスノード SN に接続されたゲートとを有する。N チャネルセンスアンプ 4 4 はクロスカップルされた N チャネル MOS トランジスタ 4 6 および 4 8 を含む。N チャネル MOS トランジスタ 4 6 は、共通ソースノード S 2 N に接続されたソースと、センスノード SN に接続されたドレインと、センスノード/SN に接続されたゲートとを有する。N チャネル MOS トランジスタ 4 8 は、共通ソースノード S 2 N に接続されたソースと、センスノード/SN に接続されたドレインと、センスノード SN に接続されたゲートとを有する。

【0045】センスアンプ 3 6 および 4 4 の両側には 2

17

つのビット線対BL, /BLが配置される。メモリブロックB1内のビット線対BL, /BLはスイッチ回路53を介してセンスノードSNおよび/SNに接続される。メモリブロックB2内のビット線対BL, /BLはスイッチ回路62を介してセンスノードSNおよび/SNに接続される。スイッチ回路56は1つのブロック選択信号BLI1にตอบสนองしてオンになるNチャネルMOSトランジスタ58および60を含む。NチャネルMOSトランジスタ58はブロックB1内のビット線BLとセンスノードSNとの間に接続される。NチャネルMOSトランジスタ60はブロックB1内のビット線/BLとセンスノード/SNとの間に接続される。スイッチ回路62は、ビット線選択信号BLI2にตอบสนองしてオンになるNチャネルMOSトランジスタ64および66を含む。NチャネルMOSトランジスタ64はメモリブロックB2内のビット線BLとセンスノードSNとの間に接続される。NチャネルMOSトランジスタ66はメモリブロックB2内のビット線/BLとセンスノード/SNとの間に接続される。

【0046】また、複数のワード線WLがビット線対BL, /BLに交差して配置される。複数のメモリセル30が、ビット線対BL, /BLおよびワード線WLの交点に対応して設けられる。各メモリセル30は、NチャネルMOSトランジスタ32と、キャパシタ34とを含む。各NチャネルMOSトランジスタ32は、対応するビット線BLまたは/BLに接続されたソース/ドレインと、対応するワード線WLに接続されたゲートとを有する。

【0047】Pチャネルセンスアンプ36の共通ソースノードS2Pは、駆動トランジスタ52を介して電源ノードに接続される。駆動トランジスタ52はセンスアンプ駆動信号S0Pにตอบสนองしてオンになる。また、Nチャネルセンスアンプ44の共通ソースノードS2Nは駆動トランジスタ54を介して接地ノードに接続される。駆動トランジスタ54はセンスアンプ駆動信号S0Nにตอบสนองしてオンになる。

【0048】センスノードSNおよび/SNの間には、センスノードSNおよび/SNをイコライズしかつ中間電位(1/2)Vccにプリチャージするイコライズ/プリチャージ回路68が接続される。このイコライズ/プリチャージ回路68は、NチャネルMOSトランジスタ70, 72および74を含む。トランジスタ70, 72および74は1つのビット線イコライズ信号BLEQにตอบสนองしてオンになる。

【0049】図3は、図2中のスイッチ回路56および62を制御する制御回路の構成を示すブロック図である。図3を参照して、この制御回路は、セルフリフレッシュイネーブル信号SREFおよび内部行アドレスストローブ信号RASIを受けるANDゲート76と、ANDゲート76の出力信号ANを送らせて遅延信号DLを

18

生成する遅延回路78と、遅延回路DLの立上がりに対応して、所定期間H(論理ハイ)レベルになるパルス信号PLを発生するワンショットパルス発生器80と、パルス信号PLを受けるインバータ82と、インバータ82の出力信号/P L、内部行アドレスストローブ信号RASIおよびブロック選択信号BSiを受け、ビット線選択信号BLIiを発生するビット線選択信号発生器84とを備える。ブロック選択信号発生器84はメモリブロックと1対1対応で設けられる。メモリブロックB1が選択される場合、ブロック選択信号BSi(i=1)が活性化される。他方、メモリブロックB2が選択される場合、ブロック選択信号BSi(i=2)が活性化される。これらブロック選択信号BS1およびBS2は、行デコーダ12において行アドレス信号の最上位ビットにตอบสนองして選択的に活性化される。ビット線選択信号発生器84は昇圧機能を有するので、電源電位Vccよりも高い昇圧電源電位Vppのビット線選択信号BLIiを発生することができる。

【0050】次に、この発明の実施の形態1によるDRAMの動作を説明する。まず通常動作モードでは、図1に示されたCBR検出器22はL(論理ロー)レベルのセルフリフレッシュイネーブル信号SREFを発生する。図4のタイミング図に示されるように、Lレベルのセルフリフレッシュイネーブル信号SREFが図3に示されたANDゲート76に与えられると、ANDゲート76の出力信号ANは内部行アドレスストローブ信号RASIに関係なく常にLレベルを維持する。そのため、たとえばメモリブロックB1が選択される場合は、図4(g)に示されるようにビット線選択信号BLI1が昇圧電源電位Vppを常に維持する。他方、図4(h)に示されるようにブロック選択信号BLI2は内部行アドレスストローブ信号RASIにตอบสนองして変化する。具体的には、Lレベルの内部行アドレスストローブ信号RASIが与えられると昇圧電源電位Vppのビット線選択信号BLI2が生成され、Hレベルの内部行アドレスストローブ信号RASIが与えられると接地電位GNDのビット線選択信号BLI2が生成される。

【0051】したがって、通常動作モードでは、ともに昇圧電源電位Vppのビット線選択信号BLI1およびBLI2がそれぞれスイッチ回路56および62に与えられる。このときHレベルのビット線イコライズ信号BLEQが与えられるので、ビット線BLおよび/BLならびにセンスノードSNおよび/SNの電位はすべて中間電位(1/2)Vccになる。たとえばメモリブロックB1が選択される場合は、ビット線選択信号BLI2の電位のみが昇圧電源電位Vppから接地電位GNDまで下降する。そのため、メモリブロックB1内のビット線BLおよび/BLはそれぞれセンスノードSNおよび/SNに継続的に接続されるが、メモリブロックB2内のビット線BLおよび/BLはセンスノードSNおよび

／SNから切離される。

【0052】次いで行アドレス信号に応答して行デコーダ12がメモリブロックB1内の1つのワード線WLを活性化する。その活性化されたワード線WLの電位が接地電位GNDから昇圧電源電位V_{pp}まで上昇すると、対応するメモリセル30からビット線対BL、／BLにデータが読出される。それによりビット線BLおよび／BL間に電位差が生じ、その電位差はスイッチ回路56を介してセンスノードSNおよび／SNに伝達される。

【0053】次に、このようにビット線BLおよび／BLをセンスノードSNおよび／SNにそれぞれ接続した状態で、センスアンプ駆動信号SONがHレベルになり、さらにセンスアンプ駆動信号SOPがLレベルになる。そのため、センスアンプ36および44はセンスノードSNおよび／SN間に生じた電位差を増幅するとともに、ビット線BLおよび／BLの間に生じた電位差を増幅する。このとき、ビット線BLおよび／BLはそれぞれ大きい寄生容量を有するので、ビット線BLおよび／BLの電位はそれぞれ電源電位V_{cc}および接地電位GNDに向かって徐々に変化する。しかしながら、共通ソースノードS2Pは電源電位V_{cc}に向かって急速に上昇し、かつ共通ソースノードS2Nは接地電位GNDに向かって急速に下降するため、センスアンプ36および44内には大量の貫通電流が流れる。

【0054】他方、セルフリフレッシュモードでは図1に示されたCBR検出器22がHレベルのセルフリフレッシュイネーブル信号SREFを発生する。そのため、内部アドレスカウンタ28は内部行アドレスストローブ信号RASIに응答して内部行アドレス信号RADIを発生する。Hレベルのセルフリフレッシュイネーブル信号SREFに응答してマルチプレクサ18は外部から与えられる行アドレス信号RADの代わりに内部アドレスカウンタ28からの内部行アドレス信号RADIを行デコーダ12に供給する。

【0055】Hレベルのセルフリフレッシュイネーブル信号SREFが図3中のANDゲート76に与えられると、ANDゲート76の出力信号ANは図4(b)および(c)に示されるように内部行アドレスストローブ信号RASIに응答して変化する。遅延回路78は、図4(d)に示されるようにANDゲート76の出力信号ANを予め定められた時間だけ遅らせて、遅延信号DLを生成する。ワンショットパルス発生器80は、図4(e)に示されるように遅延信号DLの立上がりに応答して予め定められた期間だけHレベルとなるパルス信号PLを生成する。インバータ82は、図4(f)に示されるようにパルス信号PLを反転してパルス信号／PLを生成する。

【0056】たとえばメモリブロックB1が選択される場合は、ビット線選択信号BLI1は図4(g)に示されるように基本的に昇圧電源電位V_{pp}になる。他方、

ビット線選択信号BLI2は図4(h)に示されるように内部行アドレスストローブ信号RASIに응答して変化する。具体的には、Hレベルの内部行アドレスストローブ信号RASIが与えられるとビット線選択信号BLI2は接地電位GNDになり、Lレベルの内部行アドレスストローブ信号RASIが与えられるとビット線選択信号BLI2は昇圧電源電位V_{pp}になる。

【0057】ただし、セルフリフレッシュモードではビット線選択信号BLI1は常に昇圧電源電位V_{pp}を維持するのではなく、パルス信号／PLに응答して一時的に接地電位GNDになる。

【0058】図5は、セルフリフレッシュモードにおけるビット線選択信号BLI1およびBLI2、ビット線BLおよび／BLなどの電位変化を示すグラフである。このグラフの縦軸は電位を示し、横軸は時間を示す。

【0059】図5に示されるように、初期状態ではビット線選択信号BLI1およびBLI2がともに昇圧電源電位V_{pp}になるので、メモリブロックB1およびB2内の両方のビット線対BL、／BLがセンスノードSNおよび／SNに接続されている。ここではメモリブロックB1が選択されるので、ビット線選択信号BLI1は昇圧電源電位V_{pp}を維持するが、ビット線選択信号BLI2は接地電位GNDに向かって下降する。そのため、メモリブロックB1内のビット線対BL、／BLは継続的にセンスアンプ36および44に接続されるが、メモリブロックB2内のビット線対BL、／BLはセンスアンプ36および44から切離される。

【0060】次いで内部アドレスカウンタ28からマルチプレクサ18を介して与えられた内部行アドレス信号RADIに응答して行デコーダ12がメモリブロックB1内の1つのワード線WLを活性化する。その活性化されたワード線の電位は昇圧電源電位V_{pp}まで上昇する。ワード線WLが活性化されると、そのワード線WLに接続されたメモリセル30からビット線対BL、／BLにデータが読出される。ここではビット線BLの電位が中間電位(1/2)V_{cc}からわずかに上昇し、ビット線／BLの電位は中間電位(1/2)V_{cc}に維持される。このビット線BLの電位はNチャネルMOSトランジスタ58を介してセンスノードSNに伝達されるとともに、ビット線／BLの電位はNチャネルMOSトランジスタ60を介してセンスノード／SNに伝達される。そのため、ビット線BLおよび／BLの間に生じた電位差はセンスノードSNおよび／SNの間にも生じる。

【0061】次いでセンスアンプ36および44の活性化に先立って、ビット線選択信号BLI1の電位も接地電位GNDに向かって下降する。そのため、メモリブロックB2内のビット線対BL、／BLだけでなく、メモリブロックB1内のビット線対BL、／BLもまたセンスノードSNおよび／SNから切離される。

【0062】次いでセンスアンプ駆動信号SONがHレベルになることによりNチャネルセンスアンプ44が活性化され、さらにセンスアンプ駆動信号SOPがLレベルになることによりPチャネルセンスアンプ36もまた活性化される。Nチャネルセンスアンプ44が活性化されると、センスノード/SNの電位は中間電位(1/2)Vccから接地電位GNDまで引下げられる。Pチャネルセンスアンプ36が活性化されると、センスノードSNの電位は電源電位Vccまで引上げられる。このときビット線対BL、/BLがセンスノードSNおよび/SNに接続されていないのでセンスノードSNおよび/SNの電位は通常動作モードよりも急速に変化する。これは、ビット線対BL、/BLが非常に大きい寄生容量を有するのに対し、センスノードSNおよび/SNは非常に小さい寄生容量を有するにすぎないからである。このように共通ソースノードS2PおよびS2Nの急速な変化に追従してセンスノードSNおよび/SNの電位が急速に変化するので、センスアンプ36および44内にはほとんど貫通電流が流れない。

【0063】次いでビット線選択信号BLI1の電位が接地電位GNDから昇圧電源電位Vppまで上昇すると、メモリブロックB1内のビット線対BL、/BLが再びセンスノードSNおよび/SNに接続される。そのため、センスノードSNからNチャネルMOSトランジスタ58を介してビット線BLに電荷が流出し、これによりセンスノードSNの電位が電源電位Vccからわずかに下降する。しかしながら、Pチャネルセンスアンプ36が活性化されているので、センスノードSNおよびビット線BLの電位はともに電源電位Vccまで上昇する。他方、ビット線/BLの電荷がNチャネルMOSトランジスタ60を介してセンスノード/SNに流入するので、センスノード/SNの電位は接地電位GNDからわずかに上昇する。

【0064】しかしながら、Nチャネルセンスアンプ44が活性化されているので、センスノード/SNおよびビット線/BLの電位はともに接地電位GNDまで下降する。このようにビット線対BL、/BLが再びセンスノードSNおよび/SNに接続されると、センスノードSNおよび/SNの電位がわずかに変化するので、センスアンプ36および44内に貫通電流がわずかに流れる。

【0065】次いでワード線WLの電位が接地電位GNDまで下降すると、メモリセル30内のトランジスタ32がオフになり、それによりメモリセル30のリフレッシュが完了する。

【0066】このように実施の形態1においては、通常動作モードでは一方のビット線対BL、/BLがセンスアンプ36および44に接続された状態でセンスアンプ36および44が活性化されるのに対し、セルフリフレッシュモードではその一方のビット線対BL、/BLが

センスアンプ36および44から切離された状態でセンスアンプ36および44が活性化される。すなわち、通常動作モードでは通常のセンス動作が行なわれるのに対し、セルフリフレッシュモードではラッチセンス動作が行なわれる。このようなラッチセンス動作自体は特開昭63-146293号公報に開示されている。

【0067】上述したようにラッチセンス動作によれば、センスアンプ36および44内に流れる貫通電流を大幅に低減することができるが、このようなラッチセンス動作を通常動作モードにおいても採用することは望ましくない。なぜならラッチセンス動作はビット線対に生じた電位差を増幅するために長時間を必要とするからである。それに対し、セルフリフレッシュモードは通常動作モードほどに高速性を必要としない。そのため、セルフリフレッシュモードにおいてのみ上記ラッチセンス動作が採用されている。

【0068】以上のようにこの実施の形態1によれば、通常動作モードでは通常のセンス動作が行なわれるので高速に読出または書込動作が行なわれるとともに、セルフリフレッシュモードではラッチセンス動作が行なわれるのでセンスアンプ36および44内に流れる貫通電流が低減される。

【0069】なお、この実施の形態1ではビット線選択信号BLI1が上昇するときにセンスアンプ36および44内に貫通電流がわずかに流れるが、このブロック選択信号BLI1をもっと緩やかに上昇させれば、まずLレベル側のビット線/BLが高インピーダンス状態でセンスノード/SNに接続されるので、センスノード/SNのわずかな電位上昇が抑制される。また、ビット線選択信号BLI1の電位が十分に上昇すると、Hレベル側のビット線BLもまた高インピーダンス状態でセンスノードSNに接続される。そのため、センスノードSNの電位下降もまた抑制される。したがって、ビット線選択信号BLI1の上昇速度を図5よりも遅くすれば、そのときにセンスアンプ36および44内に流れる貫通電流がさらに低減される。

【0070】また、この実施の形態1ではセルフリフレッシュモードにおいてラッチセンス動作が行なわれるので、センス動作の完了が通常動作モードよりも遅くなる。そのため、ワード線WLを不活性化するタイミングなど、種々のタイミングを遅延させなければならない場合がある。図6は、このような種々のタイミングを遅延させる遅延回路の構成を示す回路図である。図6を参照して、この遅延回路は、インバータI1~I12と、転送ゲート86、88を含む。通常動作モードではセルフリフレッシュイネーブル信号SREFがLレベルにあるので、転送ゲート86がオフになり、転送ゲート88がオンになる。そのため、この遅延回路に与えられた入力信号は8つのインバータI1~I4、I9~I12によって遅らされる。他方、セルフリフレッシュモードで

10

30

40

50

はセルフリフレッシュイネーブル信号 SREF が H レベルにあるので、転送ゲート 86 がオンになり、転送ゲート 88 がオフになる。そのため、その与えられた入力信号は 12 個のインバータ I1 ~ I12 によって遅らされる。したがって、この遅延回路は 2 種類の遅延時間を有する。セルフリフレッシュモードにおける遅延時間は通常動作モードにおける遅延時間よりも長い。

【0071】【実施の形態 2】図 7 は、この発明の実施の形態 2 による DRAM におけるビット線選択信号、ワード線、ビット線などの電位変化を示すグラフである。上述した実施の形態 1 でビット線選択信号 BLI1 が接地電位 GND から昇圧電源電位 Vpp まで一気に上昇しているが、この実施の形態 2 ではビット線選択信号 BLI1 はまず接地電位 GND から電源電位 Vcc まで上昇し、その後電源電位 Vcc から昇圧電源電位 Vpp まで上昇する。このようにビット線選択信号は一気に上昇しなくても段階的に上昇してもよい。

【0072】【実施の形態 3】図 8 は、この発明の実施の形態 3 による DRAM の一部構成を示す回路図である。図 8 を参照して、この DRAM は図 2 の構成に加えてさらに、駆動トランジスタ 54 と接地ノードとの間に接続された N チャネル MOS トランジスタ 90 と、このトランジスタ 90 のゲートに制御可能なゲート電位 VG を与える電圧制御回路 91 とを備える。電圧制御回路 91 は、NAND ゲート 92 と、インバータ 94 と、転送ゲート 96 および 104 と、基準電位発生器 98 とを備える。基準電位発生器 98 は定電流源 100 と、抵抗 102 とを含む。

【0073】次に、この図 8 に示された DRAM の動作を図 9 のタイミング図を参照して説明する。

【0074】まず通常動作モードでは、図 9 (a) に示されるように L レベルのセルフリフレッシュイネーブル信号 SREF が NAND ゲート 92 に与えられるので、転送ゲート 96 がオンになり、転送ゲート 104 がオフになる。そのため、センスアンプ駆動信号 SON が転送ゲート 96 を介してトランジスタ 90 のゲートに与えられる。したがって、この電圧制御回路 91 からトランジスタ 90 のゲートに与えられるゲート電位 VG は図 9

(e) に示されるようにセンスアンプ駆動信号 SON に同期して接地電位 GND および電源電位 Vcc 間で変化する。そのため、この N チャネルセンスアンプ 44 は図 2 に示されたものと同様に動作する。

【0075】他方、セルフリフレッシュモードでは図 9 (a) に示されるように H レベルのセルフリフレッシュイネーブル信号 SREF が NAND ゲート 92 に与えられるので、図 9 (b) ~ (d) に示されるように NAND ゲートの出力信号 NA はセンスアンプ駆動信号 SON に同期して変化し、インバータ 94 の出力信号 /NA もまたセンスアンプ駆動信号 SON に同期して変化する。センスアンプ駆動信号 SON が L レベルにあるときイン

バータ 94 は L レベルの出力信号 /NA を供給するので、転送ゲート 96 がオンになり、転送ゲート 104 がオフになる。そのため L レベルのセンスアンプ駆動信号 SON が転送ゲート 96 を介してトランジスタ 90 のゲートに与えられる。したがって、このとき電圧制御回路 91 は接地電位 GND のゲート電位 VG をトランジスタ 90 のゲートに供給する。また、センスアンプ駆動信号 SON が H レベルにあるときインバータ 94 は H レベルの出力信号 /NA を供給するので、転送ゲート 96 はオフになり、転送ゲート 104 がオンになる。そのため、基準電位発生器 98 によって生成された中間電位 (1/2) Vcc が転送ゲート 104 を介してトランジスタ 90 のゲートに与えられる。すなわち、このとき電圧制御回路 91 は中間電位 (1/2) Vcc のゲート電位 VG をトランジスタ 90 のゲートに供給する。この中間電位 (1/2) Vcc を受けるトランジスタ 90 は定電流源として機能するので、N チャネルセンスアンプ 44 の共通ソースノード S2N は中間電位 (1/2) Vcc から接地電位 GND に向かって緩やかに下降する。

【0076】図 10 は、図 8 に示された DRAM におけるビット線選択信号 BLI1、LI2、ワード線 WL、ビット線 BL、/BL、共通ソースノード S2N の電位変化を示すグラフである。このグラフにおいて縦軸は電位を示し、横軸は時間を示す。

【0077】図 10 に示されるようにワード線 WL が上昇すると、ビット線 BL および /BL の間に電位差が生じる。ここでは、N チャネル MOS トランジスタ 90 のゲートに中間電位 (1/2) Vcc が与えられるので、駆動トランジスタ 54 がオンになっても共通ソースノード S2N の電位は中間電位 (1/2) Vcc から急激に接地電位 GND に向かって下降するのではなく、緩やかに下降する。そのため、ビット線 /BL の電位が下降する速度とほぼ同じ速度で共通ソースノード S2N の電位が下降する。したがって、センスアンプ 44 の動作速度は遅くなるが、ビット線 /BL および共通ソースノード S2N 間に大きな電位差が生じないので、センスアンプ 44 内に大量の貫通電流が流れることはない。

【0078】以上のようにこの実施の形態 3 によれば、高速性が要求されないセルフリフレッシュモードでは N チャネルセンスアンプ 44 の共通ソースノード S2N の電位が緩やかに下降するので、センスアンプ 44 内に流れる貫通電流が低減され、その結果、この DRAM の消費電力が低減される。

【0079】一般に、センスアンプが消費する電力のうち貫通電流による消費電力は約 40% を占めている。そのため、このようにセンスアンプの貫通電流を低減することは DRAM 全体の消費電力を低減させるのに極めて有効である。なお、セルフリフレッシュモードは高速性を要求しないので、センスアンプの動作が多少遅くなっても支障はない。

【0080】〔実施の形態4〕図11は、この発明の実施の形態4によるDRAMの一部構成を示す回路図である。図11を参照して、この実施の形態4では図8の電圧制御回路91の代わりに電圧制御回路106が設けられる。この電圧制御回路106は、ANDゲート108および112と、インバータ110および114と、PチャネルMOSトランジスタ116と、差動増幅器118と、抵抗120および122とキャパシタ126と、NチャネルMOSトランジスタ124を含む。この電圧制御回路106は、トランジスタ90のゲートに通常動作モードでは接地電位GNDを供給し、セルフリフレッシュモードではセンスアンプ駆動信号SONに同期して中間電位(1/2)Vccから接地電位GNDに徐々に下降する電位を供給する。

【0081】次に、図11に示されたDRAMの動作を図12のタイミング図を参照して説明する。

【0082】まず通常動作モードでは、Lレベルのセルフリフレッシュイネーブル信号SREFがANDゲート108に与えられるので、ANDゲート108は図12(c)に示されるように常にLレベルの出力信号ANを差動増幅器118とNチャネルMOSトランジスタ124のゲートとに供給する。そのため、差動増幅器118は不活性化され、トランジスタ124はオフになる。また、このLレベルのセルフリフレッシュイネーブル信号SREFはインバータ110にも与えられるので、インバータ114はセンスアンプ駆動信号SONに同期して変化する出力信号IVをトランジスタ116のゲートに供給する。したがって、Hレベルのセンスアンプ駆動信号SONが与えられると、PチャネルMOSトランジスタ116はオンになるので、トランジスタ90のゲートに電源電位Vccが供給される。それによりトランジスタ90はオンになり、図12(f)に示されるように駆動電位Vdrvは接地電位GNDになる。したがって、通常動作モードではNチャネルセンスアンプ44はセンスアンプ駆動信号SONにตอบสนองして通常通り動作する。

【0083】他方、セルフリフレッシュモードではセルフリフレッシュイネーブル信号SREFがHレベルになるので、ANDゲート108の出力信号ANはセンスアンプ駆動信号SONに同期して変化する。また、インバータ114は常にHレベルの出力信号IVをトランジスタ116のゲートに与えるので、トランジスタ116はオフになる。ANDゲート108の出力信号ANがLレベルにあるならばトランジスタ124はオフになる。そのため、基準電位Vrefは抵抗120および122によって中間電位(1/2)Vccに維持される。差動増幅器118は駆動電位Vdrvを中間電位(1/2)Vccの基準電位Vrefと比較し、その駆動電位Vdrvが基準電位Vrefに等しくなるようトランジスタ90を制御する。したがって、図12(f)に示されるように駆動電位Vdrvは中間電位(1/2)Vccに維

持される。

【0084】また、ANDゲート108の出力信号ANが図12(c)に示されるようにHレベルになると、差動増幅器118が活性化され、トランジスタ124がオンになる。そのため、基準電位Vrefは図12(e)に示されるように中間電位(1/2)Vccから接地電位GNDに向かって徐々に下降する。このときの下降速度はキャパシタ126の容量とトランジスタ124のドレイン抵抗とによって決定される。キャパシタ126の容量が大きいほど、基準電位Vrefは緩やかに下降する。差動増幅器118は駆動電位Vdrvが基準電位Vrefと等しくなるようにトランジスタ90を制御するので、図12(f)に示されるように駆動電位Vdrvも基準電位Vrefと同様に中間電位(1/2)Vccから接地電位GNDに向かって徐々に下降する。

【0085】このようにセルフリフレッシュモードでは、Hレベルのセンスアンプ駆動信号SONにตอบสนองして駆動トランジスタ54がオンになっても、駆動電位Vdrvが中間電位(1/2)Vccから接地電位GNDに向かって徐々に下降するため、Nチャネルセンスアンプ44の共通ソースノードS2Nもまた中間電位(1/2)Vccから接地電位GNDに向かって徐々に下降する。

【0086】以上のようにこの実施の形態4によれば、Nチャネルセンスアンプ44の共通ソースノードS2Nの電位が中間電位(1/2)Vccから接地電位GNDに向かって徐々に下降するので、上述した実施の形態3と同様にNチャネルセンスアンプ44の動作速度は遅くなるが、Nチャネルセンスアンプ44内の貫通電流が低減される。そのため、このDRAM全体の消費電力が低減される。

【0087】〔実施の形態5〕図13は、この発明の実施の形態5によるDRAMの一部構成を示す回路図である。上述した実施の形態3および4では駆動トランジスタ54と直列にもう1つトランジスタ90が接続され、そのトランジスタ90が電圧制御回路91または106によって制御されている。しかしながらこの実施の形態5では図13に示されるように、Pチャネルセンスアンプ36のための駆動トランジスタ52が電圧制御回路142によって制御されるとともに、Nチャネルセンスアンプ44のための駆動トランジスタ54が電圧制御回路128によって制御される。

【0088】図13を参照して、この電圧制御回路128はNANDゲート130と、インバータ132, 134, 136と、転送ゲート138と、キャパシタ140を含む。この電圧制御回路128は、通常動作モードではセンスアンプ駆動信号SONをそのまま駆動トランジスタ54に供給し、他方セルフリフレッシュモードではセンスアンプ駆動信号SONに同期して接地電位GNDから電源電位Vccに徐々に上昇するゲート電位VG

を駆動トランジスタ 5 4 に供給する。

【0089】次に、この図 1 3 に示された DRAM の動作を図 1 4 のタイミング図を参照して説明する。

【0090】まず通常動作モードでは、図 1 4 (a) に示されるようにセルフリフレッシュイネーブル信号 S R E F が L レベルになるので、NAND ゲート 1 3 0 の出力信号 N A は図 1 4 (d) に示されるように H レベルになる。そのため、転送ゲート 1 3 8 はオフになり、図 1 4 に示されるようなセンスアンプ駆動信号 S 0 N がそのままゲート電位 V G として駆動トランジスタ 5 4 のゲートに与えられる。すなわち、図 1 4 (e) に示されるように、ゲート電位 V G はセンスアンプ駆動信号 S 0 N が L レベルのとき接地電位 G N D となり、センスアンプ駆動信号 S 0 N が H レベルのとき電源電位 V c c となる。したがって、通常動作モードではセンスアンプ 4 4 は通常通り動作する。

【0091】他方、セルフリフレッシュモードでは図 1 4 (a) に示されるようにセルフリフレッシュイネーブル信号 S R E F が H レベルになるので、NAND ゲート 1 3 0 の出力信号 N A が図 1 4 (d) に示されるようにセンスアンプ駆動信号 S 0 N に同期して変化する。センスアンプ駆動信号 S 0 N が L レベルならば転送ゲート 1 3 8 はオフ状態にあるので、ゲート電位 V G は接地電位 G N D を維持する。他方、センスアンプ駆動信号 S 0 N が H レベルになると、転送ゲート 1 3 8 がオンになるので、ゲート電位 V G は H レベルのセンスアンプ駆動信号 S 0 N に応答して速やかに立上ることができず、図 1 4 (e) に示されるように徐々に立上がる。キャパシタ 1 4 0 の容量が大きいほど、このときのゲート電位 V G の立上がり速度が遅くなる。

【0092】このようにセルフリフレッシュモードでは駆動トランジスタ 5 4 のゲート電位 V G が接地電位 G N D から電源電位 V c c に向かって徐々に上昇するので、センスアンプ 4 4 の動作速度は遅くなるが、センスアンプ 4 4 内に流れる貫通電流が低減される。

【0093】電圧制御回路 1 4 2 もまた電圧制御回路 1 2 8 とほぼ同様に構成される。この電圧制御回路 1 4 2 は、通常動作モードではセンスアンプ駆動信号 S 0 P をそのまま駆動トランジスタ 5 2 に供給し、セルフリフレッシュモードでは、センスアンプ駆動信号 S 0 P に応答して電源電位 V c c から接地電位 G N D に向かって徐々に下降する電位を駆動トランジスタ 5 2 のゲートに供給する。したがって、セルフリフレッシュモードではセンスアンプ 3 6 の動作速度は遅くなるが、センスアンプ 3 6 内に流れる貫通電流が低減される。

【0094】以上のようにこの実施の形態 5 によれば、セルフリフレッシュモードにおいては共通ソースノード S 2 P の電位が電源電位 V c c に向かって緩やかに上昇し、かつ共通ソースノード S 2 N の電位が接地電位 G N D に向かって緩やかに下降するため、センスアンプ 3 6

および 4 4 内に流れる貫通電流が低減され、その結果この DRAM 全体の消費電力が低減される。

【0095】[実施の形態 6] 図 1 5 は、この発明の実施の形態 6 による DRAM の一部構成を示す回路図である。図 8 に示された実施の形態 3 では N チャネルセンスアンプ 4 4 側のみに制御可能なトランジスタ 9 0 が設けられているが、図 1 5 に示されるようにこの実施の形態 6 では N チャネルセンスアンプ 4 4 側だけでなく、P チャネルセンスアンプ 3 6 側にも P チャネル MOS トランジスタ 1 4 4 が設けられる。このトランジスタ 1 4 4 は P チャネルセンスアンプ 3 6 のための駆動トランジスタ 5 2 と直列に接続され、かつ電源ノードに接続されたソースを有する。このトランジスタ 1 4 4 は電圧制御回路 1 4 6 によって制御される。通常動作モードではこの電圧制御回路 1 4 6 はセンスアンプ駆動信号 S 0 P をトランジスタ 1 4 4 のゲートにそのまま供給し、セルフリフレッシュモードではこの電圧制御回路 1 4 6 はそのトランジスタ 1 4 4 のゲート電位をセンスアンプ駆動信号 S 0 P に応答して中間電位 (1/2) V c c から緩やかに電源電位 V c c に向かって上昇させる。

【0096】図 1 6 は、図 1 5 に示された DRAM におけるビット線選択信号 B L I 1, B L I 2、ワード線 W L、ビット線 B L、/B L、共通ソースノード S 2 N、S 1 2 P の電位変化を示すグラフである。このグラフの縦軸は電位を示し、横軸は時間を示す。

【0097】図 1 6 に示されるように、セルフリフレッシュモードでは N チャネルセンスアンプ 4 4 の共通ソースノード S 2 N は中間電位 (1/2) V c c から接地電位 G N D に向かって緩やかに下降するとともに、P チャネルセンスアンプ 3 6 の共通ソースノード S 2 P の電位は中間電位 (1/2) V c c から電源電位 V c c に向かって緩やかに上昇する。したがって、センスアンプ 3 6 および 4 4 の動作速度が遅くなるが、センスアンプ 3 6 および 4 4 内に流れる貫通電流が低減される。

【0098】このように N チャネルセンスアンプ 4 4 の共通ソースノード S 2 N の電位だけでなく、P チャネルセンスアンプ 3 6 の共通ソースノード S 2 P の電位も緩やかにさせたほうがセンスアンプ 3 6 および 4 4 内に流れる貫通電流はさらに低減される。

【0099】[実施の形態 7] 図 1 7 は、この発明の実施の形態 7 による DRAM 内で用いられる内部降圧回路の構成を示す回路図である。図 1 7 を参照して、この DRAM は、外部電源電位 V c c に基づいて内部電源電位 i n t V c c を供給する内部降圧回路と、内部行アドレスストロブ信号 R A S I に応答して活性化される内部回路 1 8 0 とを備える。この内部降圧回路は、2 つの基準電位 V r e f 1, V r e f 2 を形成する基準電位生成回路 1 4 8 と、小さい電流供給能力を有しかつ常時活性化されている電圧ダウンコンバータ 1 6 4 と、大きな電流供給能力を有しかつチップの活性化時にのみ活性化され

る電圧ダウンコンバータ 170 と、このダウンコンバータ 170 を制御するダウンコンバータ制御回路 158 と、NチャネルMOSトランジスタ 178 のみからなる電圧ダウンコンバータ 176 とを備える。

【0100】基準電位生成回路 148 は、定電流源 150 と、ダイオード接続されたNチャネルMOSトランジスタ 152 と、抵抗 154 および 156 とを含む。電圧ダウンコンバータ 164 は、内部電源電位 $intV_{cc}$ を基準電位 V_{ref1} と比較する比較回路 166 と、外部電源ノードおよび内部電源線 179 の間に接続されかつ比較回路 66 の出力によって制御される駆動トランジスタ 168 とを備える。電圧ダウンコンバータ 170 も電圧ダウンコンバータ 164 とほぼ同様に、比較回路 172 と、駆動トランジスタ 174 とを備える。ただし、この比較回路 172 は、制御回路 158 の出力にตอบสนองして活性化される。また、この電圧ダウンコンバータ 170 の駆動トランジスタ 174 のサイズは、電圧ダウンコンバータ 164 の駆動トランジスタ 168 のサイズよりも大きい。したがって、この電圧ダウンコンバータ 170 は電圧ダウンコンバータ 164 よりも大きい電流供給能力を有する。ダウンコンバータ制御回路 158 は、インバータ 160 とANDゲート 162 とを含む。電圧ダウンコンバータ 176 のNチャネルMOSトランジスタ 178 は外部電源ノードと内部電源線 179 との間に接続され、基準電位 V_{ref2} を受けるゲートを有する。

【0101】次に、図 17 に示された内部降圧回路の動作を説明する。まず待機状態では電圧ダウンコンバータ 164 および 176 が動作する。電圧ダウンコンバータ 164 においては、比較回路 166 が内部電源電位 $intV_{cc}$ を基準電位 V_{ref1} と比較し、もしも内部電源電位 $intV_{cc}$ が基準電位 V_{ref1} よりも低いと駆動トランジスタ 168 をオンする。また、比較回路 166 は、もしも内部電源電位 $intV_{cc}$ が基準電位 V_{ref1} よりも高いと駆動トランジスタ 168 をオフにする。そのため、この電圧ダウンコンバータ 164 は基準電位 V_{ref1} に等しい内部電源電位 $intV_{cc}$ を内部電源線 179 に供給する。この電圧ダウンコンバータ 164 は数 μA 程度の電流しか供給することができないが、待機状態では内部回路 180 がほとんど電流を消費しないので、このような電流供給能力の小さい電圧ダウンコンバータ 164 によって十分な内部電源電位 $intV_{cc}$ が補償され得る。

【0102】また、基準電位生成回路 148 のトランジスタ 152 は、電圧ダウンコンバータ 176 のトランジスタ 178 のしきい電圧と同じしきい電圧を有する。基準電位 V_{ref2} は基準電位 V_{ref1} よりもトランジスタ 152 のしきい電圧だけ高くなるので、トランジスタ 178 のソースおよびゲート間にはこのトランジスタ 178 のしきい電圧に等しい電圧が与えられる。したがって、このトランジスタ 178 を含む電圧ダウンコンバ

ータ 176 もまた外部電源電位 $extV_{cc}$ に基づいて内部電源電位 $intV_{cc}$ を内部電源線 179 に供給する。この電圧ダウンコンバータ 176 はトランジスタ 178 のみから構成されるので、電圧ダウンコンバータ 164 のように内部電源線 179 に供給されないような無駄な電流が消費されることはない。

【0103】次に、通常動作モードではセルフリフレッシュイネーブル信号 $SREF$ が L レベルにあるので、制御回路 158 のANDゲート 162 は、内部行アドレスストロブ信号 $RASI$ に同期された出力信号を比較回路 172 に供給する。したがって、通常動作モードではこの比較回路 172 は内部行アドレスストロブ信号 $RASI$ にตอบสนองして活性化される。そのため、この電圧ダウンコンバータ 170 は外部電源電位 $extV_{cc}$ に基づいて内部電源電位 $intV_{cc}$ を内部電源線 179 に供給する。このとき、内部回路 180 は内部行アドレスストロブ信号 $RASI$ にตอบสนองして活性化されるので、内部回路 180 では大量の電流が消費される。そのため、内部電源電位 $intV_{cc}$ は大幅に低下する場合があるが、電流供給能力の大きい電圧ダウンコンバータ 170 が動作するので、その低下された内部電源電位 $intV_{cc}$ は速やかに予め定められた電位まで復帰され得る。一般に内部回路 180 は高速で動作するので、内部電源電位 $intV_{cc}$ が低下した場合は速やかにその内部電源電位 $intV_{cc}$ は予め定められた電位まで復帰されなければならない。

【0104】他方、セルフリフレッシュモードではセルフリフレッシュイネーブル信号 $SREF$ が H レベルになるので、制御回路 158 のANDゲート 162 は、内部行アドレスストロブ信号 $RASI$ にかかわらず常に L レベルの出力信号を比較回路 172 に供給する。したがって、比較回路 172 は活性化されず、不活性状態のまま維持される。したがって、セルフリフレッシュモードでは電圧ダウンコンバータ 164 および 176 のみが動作する。そのため、たとえ内部電源電位 $intV_{cc}$ が基準電位 V_{ref1} よりも大幅に低下したとしても、その低下した内部電源電位 $intV_{cc}$ は基準電位 V_{ref1} まで速やかに復帰させることはできない。したがって、内部回路 180 の動作速度が遅くなるが、セルフリフレッシュモードにおいて内部降圧回路内で消費される電力が低減される。

【0105】以上のようにこの実施の形態 7 によれば、電流供給能力の大きい電圧ダウンコンバータ 170 は通常動作モードでは活性化されるが、セルフリフレッシュモードでは活性化されないで、セルフリフレッシュモードにおける内部降圧回路の消費電力が低減される。

【0106】なお、上述した比較回路 166、172 としては、たとえばカレントミラー回路を用いた差動増幅器などが好ましく用いられる。

【0107】【実施の形態 8】図 18 は、この発明の実

10

20

30

40

50

施の形態 8 による DRAM で用いられる内部降圧回路の構成を示す回路図である。図 17 に示された内部降圧回路では、トランジスタ 178 に与える基準電位 V_{ref2} を生成するために基準電位生成回路 148 がトランジスタ 152 を備えているが、図 18 に示された実施の形態 8 では、電圧ダウンコンバータ 184 がゼロボルトのしきい電圧を有する N チャネル MOS トランジスタ 186 から構成されるので、この基準電位生成回路 182 はトランジスタ 152 を備えていない。したがって、基準電位生成回路 182 によって生成された基準電位 V_{ref1} は電圧ダウンコンバータ 164 および 170 だけでなく、電圧ダウンコンバータ 184 のトランジスタ 186 にも与えられる。ゼロボルトのしきい電圧を有するトランジスタ 186 としては、たとえばディプレッション型のトランジスタが用いられる。

【0108】以上のようにこの実施の形態 8 によれば、電圧ダウンコンバータ 184 がゼロボルトのしきい電圧を有するトランジスタ 186 のみから構成されるので、基準電位生成回路 182 が図 17 の基準電位生成回路 148 のようにトランジスタ 152 を必要としない。

【0109】【実施の形態 9】図 19 は、この発明の実施の形態 9 による DRAM で使用される内部降圧回路の構成を示す回路図である。図 19 を参照して、この内部降圧回路は、基準電位生成回路 182 と、複数の電圧ダウンコンバータ 164, 190, 170 と、電圧ダウンコンバータ 190, 170 を制御するダウンコンバータ制御回路 188 とを備える。

【0110】内部回路 180 が待機状態の場合、電圧ダウンコンバータ 164 のみが活性化される。このとき、L レベルのセルフリフレッシュイネーブル信号 $SREF$ がインバータ 160 に与えられ、L レベルの内部行アドレスストローブ信号 RAS_I が AND ゲート 162 および電圧ダウンコンバータ 190 の比較回路 192 に与えられる。したがって、電圧ダウンコンバータ 164 以外の電圧ダウンコンバータ 190, 170 はすべて活性化されない。

【0111】次に、通常動作モードにおいて H レベルの内部行アドレスストローブ信号 RS_I に応答して内部回路 180 が活性化されると、この H レベルの内部行アドレスストローブ信号 RAS_I は制御回路 188 にも与えられるので、電圧ダウンコンバータ 190 もまた活性化される。また、このとき L レベルのセルフリフレッシュイネーブル信号 $SREF$ が制御回路 188 に与えられるので、この制御回路 188 は複数の電圧ダウンコンバータ 170 をすべて活性化する。したがって、通常動作モードにおいて内部回路 180 が活性化されると、すべての電圧ダウンコンバータ 164, 190, 170 が活性化される。

【0112】他方、セルフリフレッシュモードにおいては、H レベルの内部行アドレスストローブ信号 RAS_I

にตอบสนองして内部回路 180 が活性化されると、電圧ダウンコンバータ 190 は活性化されるが、H レベルのセルフリフレッシュイネーブル信号 $SREF$ が制御回路 188 に与えられるので、電圧ダウンコンバータ 164 および 190 以外の複数の電圧ダウンコンバータ 170 は活性化されない。したがって、セルフリフレッシュモードでは 2 つの電圧ダウンコンバータ 164, 190 が外部電源電位 $extV_{cc}$ に基づいて内部電源線 179 に内部電源電位 $intV_{cc}$ を供給する。このようにセルフリフレッシュモードで動作する電圧ダウンコンバータの数は通常動作モードで動作する電圧ダウンコンバータの数よりも少ないので、セルフリフレッシュモードにおいて内部電源電位 $intV_{cc}$ が大幅に低下するとその内部電源電位 $intV_{cc}$ を速やかに基準電位 V_{ref1} に等しい電位まで回復させることはできない。しかしながら、セルフリフレッシュモードにおける動作は高速性を必要としていないので、内部電源電位 $intV_{cc}$ の回復が多少遅れてもセルフリフレッシュ動作に支障はない。

【0113】以上のようにこの実施の形態 9 によれば、セルフリフレッシュモードにおいて動作する電圧ダウンコンバータの数が通常動作モードよりも少ないため、セルフリフレッシュモードにおける内部降圧回路の消費電力が低減される。

【0114】【実施の形態 10】図 20 は、この発明の実施の形態 10 による DRAM で用いられる内部降圧回路の構成を示す回路図である。図 20 を参照して、この内部降圧回路は、図 19 のダウンコンバータ制御回路 188 の代わりにダウンコンバータ制御回路 196 を備える。このダウンコンバータ制御回路 196 は、内部列アドレスストローブ信号 CAS_I および内部行アドレスストローブ信号 RAS_I を受ける AND ゲート 198 を含む。

【0115】この内部降圧回路においては、高速性を必要とする動作モードではすべての電圧ダウンコンバータ 164, 190, 170 が活性化されるのに対し、高速性を必要としない動作モードではダウンコンバータ 164 および 194 のみしか活性化されない。したがって、高速性を必要としない動作モードにおけるこの内部降圧回路の消費電力が低減される。

【0116】【実施の形態 11】図 21 は、この発明の実施の形態 11 による DRAM で用いられる内部降圧回路の構成を示す回路図である。この DRAM は非常に速い動作速度を有し、アドレス信号の遷移を検出するアドレス遷移検出器（図示せず）を備える。アドレス信号が遷移すると、そのアドレス遷移検出器によってアドレス遷移検出信号 ATD が生成される。このアドレス遷移検出信号 ATD にตอบสนองして内部回路 180 内のセンスアンプ（図示せず）などが活性化される。

【0117】図 21 を参照して、この実施の形態 11 に

10

20

30

40

50

よる内部降圧回路は、図 19 のダウンコンバータ制御回路 188 の代わりに、ダウンコンバータ制御回路 200 を備える。このダウンコンバータ制御回路 200 は、アドレス遷移検出信号 A T D に応答して所定期間だけ H レベルになるパルス信号を発生するパルス発生回路 202 と、そのパルス信号および内部行アドレスストロブ信号 R A S I を受ける AND ゲート 204 とを含む。

【0118】したがって、H レベルの内部行アドレスストロブ信号 R A S I が与えられると、内部回路 180 が活性化されるとともに、電圧ダウンコンバータ 190 が活性化される。このとき、たとえ H レベルの内部行アドレスストロブ信号 R A S I が与えられてもアドレス信号が遷移しなければ、パルス発生回路 200 には H レベルのパルス信号を発生しない。したがって、AND ゲート 204 は L レベルの出力信号を複数の比較回路 172 に供給するので、それら比較回路 172 を含む電圧ダウンコンバータ 170 はすべて活性化されない。

【0119】H レベルの内部行アドレスストロブ信号 R A S I が与えられる間に、アドレス信号が遷移すると、パルス発生回路 200 には H レベルのパルス信号を発生する。そのため、AND ゲート 204 は H レベルの出力信号を複数の比較回路 172 に供給する。したがって、それら比較回路 172 を含む電圧ダウンコンバータ 170 はすべて活性化される。

【0120】このように内部行アドレスストロブ信号 R A S I が H レベルになってもアドレス信号が遷移しなければセンスアンプなどは活性化されないで、この場合は 2 つの電圧ダウンコンバータ 164, 190 が外部電源電位 $extV_{cc}$ に基づいて内部電源電位 $intV_{cc}$ を内部電源線 179 に供給する。他方、アドレス信号が遷移するとセンスアンプなどが活性化するので、すべての電圧ダウンコンバータ 164, 190, 170 が外部電源電位 $extV_{cc}$ に基づいて内部電源電位 $intV_{cc}$ を内部電源線 179 に供給する。

【0121】以上のようにこの実施の形態 11 によれば、たとえ内部行アドレスストロブ信号 R A S I が立上ってもアドレス信号が遷移しなければすべての電圧ダウンコンバータは活性化されないで、この内部降圧回路における消費電力が低減される。

【0122】【実施の形態 12】図 22 はこの発明の実施の形態 12 による D R A M で用いられる内部降圧回路の構成を示す回路図である。図 22 を参照して、この内部降圧回路は、外部電源電位 $extV_{cc}$ に基づいて内部電源電位 $intV_{cc}$ を供給する電圧ダウンコンバータ 206 と、この電圧ダウンコンバータ 206 を制御するダウンコンバータ制御回路 188 とを含む。この電圧ダウンコンバータ 206 は、カレントミラー回路を用いた差動増幅器 208 と、この差動増幅器 208 によって制御される駆動トランジスタ 222 とを含む。この差動増幅器 208 は、P チャネル MOS トランジスタ 210

および 212 と、N チャネル MOS トランジスタ 214, 216, 218, 220 とを含む。P チャネル MOS トランジスタ 210 および 212 はカレントミラー回路を構成する。内部電源電位 $intV_{cc}$ はトランジスタ 214 のゲートにフィードバックされる。基準電位 V_{ref1} はトランジスタ 216 のゲートに与えられる。トランジスタ 218 および 220 は並列に接続され、これらトランジスタ 280, 220 が制御回路 188 からの出力信号に応答して制御される。駆動トランジスタ 222 は外部電源ノードおよび内部電源線 179 の間に接続され、差動増幅器 208 の出力信号を受けるゲートを有する。制御回路 188 は、インバータ 160 と AND ゲート 162 とを含む。

【0123】通常動作モードでは L レベルのセルフリフレッシュイネーブル信号 S R E F が制御回路 188 に与えられる。このとき H レベルの内部行アドレスストロブ信号 R A S I が与えられると、内部回路 180 が活性化されるが、この H レベルの内部行アドレスストロブ信号 R A S I は制御回路 188 にも与えられるので、H レベルの内部行アドレスストロブ信号 R A S I はトランジスタ 218 に与えられるとともに、AND ゲート 162 を介してトランジスタ 220 にも与えられる。したがって、トランジスタ 218 および 220 はともにオンになるので、この差動増幅器 208 の駆動能力が大きくなる。そのため、駆動トランジスタ 222 のゲートが十分に充放電されるので、たとえ内部回路 180 が大量の電流を消費して内部電源電位 $intV_{cc}$ が大幅に低下しても、その内部電源電位 $intV_{cc}$ は基準電位 V_{ref1} と等しい電位に速やかに回復される。

【0124】他方、セルフリフレッシュモードでは H レベルのセルフリフレッシュイネーブル信号 S R E F が制御回路 188 に与えられるので、AND ゲート 162 は L レベルの出力信号をトランジスタ 220 に与える。したがって、セルフリフレッシュモードでは H レベルの内部行アドレスストロブ信号 R A S I に応答してトランジスタ 218 のみがオンになり、トランジスタ 220 はオフ状態に維持される。そのため、このときの差動増幅器 208 の駆動能力は小さくなる。

【0125】このようにセルフリフレッシュモードでは電圧ダウンコンバータ 206 の電流供給能力が小さいので、内部電源電位 $intV_{cc}$ が大幅に低下するとその内部電源電位 $intV_{cc}$ が基準電位 V_{ref1} に等しい電位まで回復するのに長時間を要する。しかしながら、セルフリフレッシュモードでは高速動作が要求されないで、リフレッシュのための動作が十分に行なわれ得る。しかもセルフリフレッシュモードでは差動増幅器 208 中のトランジスタ 220 がオンにならないので、差動増幅器 208 の消費電力が低減される。

【0126】以上のようにこの実施の形態 12 によれば、セルフリフレッシュモードにおける電圧ダウンコン

パート 206 の電流供給能力が通常動作モードよりも小さくなるため、この内部降圧回路の消費電力が低減される。

【0127】 [実施の形態 13] 図 23 は、この発明の実施の形態 13 による DRAM で使用される内部降圧回路の構成を示す回路図である。図 23 を参照して、この内部降圧回路は、基準電位 V_{Href} および V_{Lref} を生成する基準電位生成回路 182 と、その基準電位 V_{Href} および V_{Lref} をセルフリフレッシュイネーブル信号 $SREF$ に応答して選択する選択器 224 と、
10 外部電源電位 $extVcc$ に基づいてその選択された基準電位 V_{Href} に等しい内部電源電位 $intVcc$ を供給する電圧ダウンコンバータ 164 とを備える。

【0128】 通常動作モードでは L レベルのセルフリフレッシュイネーブル信号 $SREF$ に応答して選択器 224 が基準電位 V_{Href} を選択する。したがって、電圧ダウンコンバータ 164 はその選択された基準電位 V_{Href} に等しい内部電源電位 $intVcc$ を内部電源線 179 に供給する。

【0129】 他方、セルフリフレッシュモードでは H レベルのセルフリフレッシュイネーブル信号 $SREF$ に応答して基準電位 V_{Href} よりも低い V_{Lref} が選択器 224 によって選択される。したがって、電圧ダウンコンバータ 164 はこの選択された基準電位 V_{Lref} に等しい内部電源電位 $intVcc$ を内部電源線 179 に供給する。
20

【0130】 このようにセルフリフレッシュモードでは内部電源電位 $intVcc$ が通常動作モードよりも低くなる。したがって、セルフリフレッシュモードでは通常動作モードよりも低い内部電源電位 $intVcc$ が内部回路 180 に供給されるので、内部回路 180 の消費電力が低減される。
30

【0131】 [実施の形態 14] 図 24 は、この発明の実施の形態 14 による DRAM で用いられる昇圧電位系の回路図である。上述したように DRAM では、電源電位 Vcc よりも高い昇圧電源電位 Vpp がワード線 WL および図 2 中のスイッチ回路 56, 62 に供給される。

【0132】 図 24 を参照して、この DRAM は、電源電位 Vcc よりも高い昇圧電源電位 Vpp を発生する昇圧電源電位発生回路 227 と、ワード線 WL の電位またはビット線選択信号 BLI を供給するドライバ 236 と、ドライバ 236 に昇圧電源電位 Vpp を供給する P チャネル MOS トランジスタ 230 と、ドライバ 236 に電源電位 Vcc を供給する P チャネル MOS トランジスタ 234 と、これらトランジスタ 230 および 234 を制御する昇圧制御回路 226 とを含む。ドライバ 236 は P チャネル MOS トランジスタ 238 および N チャネル MOS トランジスタ 240 を含む。
40

【0133】 図 25 は、図 24 に示された昇圧電位系の回路の動作を示すタイミング図である。

【0134】 まず通常動作モードでは、L レベルのセルフリフレッシュイネーブル信号 $SREF$ が昇圧制御回路 226 に与えられる。このとき、昇圧制御回路 226 は常に H レベルの制御信号 $CT2$ をトランジスタ 234 に与える。昇圧制御回路 226 はまた所定期間の間 L レベルの制御信号 $CD1$ をトランジスタ 230 に与える。そのため、通常動作モードでは図 25 (d) に示されるようにドライバ 236 の出力電位は接地電位 GND から一気に昇圧電源電位 Vpp まで上昇する。昇圧電源電位 Vpp は昇圧電源電位発生回路 227 から供給されるので、昇圧電源電位発生回路 227 では大量の電力が消費される。

【0135】 次に、セルフリフレッシュモードでは、H レベルのセルフリフレッシュイネーブル信号 $SREF$ が昇圧制御回路 226 に与えられるので、図 25 (a) および (b) に示されるように、制御信号 $CT1$ が H レベルにある間に制御信号 $CT2$ が L レベルになる。トランジスタ 234 はこの L レベルの制御信号 $CT2$ に応答してオンになるので、電源電位 Vcc がトランジスタ 234 を介してドライバ 236 に供給される。このとき図 25 (c) に示される L レベルの入力信号 IN がドライバ 236 に与えられると、ドライバ 236 の出力電位は図 25 (d) に示されるように接地電位 GND から電源電位 Vcc まで上昇する。この電源電位 Vcc は電源ノード 23 から供給され、この電源電位 Vcc は内部的に生成されるものではないので、ドライバ 236 の出力信号を電源電位 Vcc まで上昇させるために必要な電流以外は消費されない。

【0136】 次いで図 25 (a) および (b) に示されるように制御信号 $CT2$ が H レベルになると同時に、制御信号 $CT1$ が L レベルになると、トランジスタ 234 がオフになりトランジスタ 230 がオンになる。そのため、昇圧電源電位 Vpp がトランジスタ 230 を介してドライバ 236 に供給される。これにより図 25 (e) に示されるように、ドライバ 236 の出力電位は電源電位 Vcc から昇圧電源電位 Vpp まで上昇する。この昇圧電源電位 Vpp は昇圧電源電位発生回路 227 から供給されるので、昇圧電源電位発生回路 227 では大量の電力が消費される。

【0137】 このように通常動作モードでは昇圧電源電位 Vpp がドライバ 236 に一気に供給されるのに対し、セルフリフレッシュモードではまず電源電位 Vcc が供給され、その後昇圧電源電位 Vpp が供給される。したがって、セルフリフレッシュモードではドライバ 236 の出力電位が接地電位 GND から電源電位 Vcc まで上昇する間は昇圧電源電位発生回路 227 では電力が消費されない。そして、ドライバ 236 の出力電位が電源電位 Vcc から昇圧電源電位 Vpp まで上昇する間だけ昇圧電源電位発生回路 227 において電力が消費される。その結果、セルフリフレッシュモードでの昇圧電源
50

電位発生回路227の消費電力は通常動作モードよりも小さくなる。このようにセルフリフレッシュモードでは電源電位Vccおよび昇圧電源電位Vppが段階的に供給されるので、ドライバ236の出力電位が接地電位GNDから昇圧電源電位Vppまで到達するのに長い時間を要するが、セルフリフレッシュモードでは高速性が要求されないので、セルフリフレッシュの動作に支障はない。

【0138】[実施の形態15] 図26は、この発明の実施の形態15によるDRAMの全体構成を示すブロック図である。図26を参照して、このDRAMは図1の構成に加えて、外部から与えられるアドレス信号ADの上位2ビットをデコードするフラグデコーダ246と、フラグを格納するフラグレジスタFLG1~FLG4と、フラグデコーダ246からのデコード信号にตอบสนองしてフラグレジスタFLG1~FLG4を選択的に活性化するフラグ活性化回路248と、内部アドレスカウンタ28からの内部行アドレス信号RAD Iの上位2ビットをフラグレジスタFLG1~FLG4のフラグと比較する一致検出回路244と、上位2ビットの内部行アドレス信号RAD Iがフラグと一致すると内部行アドレスストロブ信号RASIを遮断するスイッチ回路242とを備える。また、このメモリセルアレイは4つのメモリブロックB1~B4に分割される。フラグレジスタFLG1~FLG4はメモリブロックB1~B4に対応して設けられる。

【0139】図27は、図26中の内部アドレスカウンタ28、一致検出回路244およびスイッチ回路242の構成を示すブロック図である。図27を参照して、内部アドレスカウンタ28は複数のラッチ回路250を含む。この内部アドレスカウンタ28は内部行アドレスストロブ信号RASIにตอบสนองしてインクリメントされる。複数のラッチ回路250に格納された信号は内部行アドレス信号RAD Iとして行デコーダ12に供給される。また、内部行アドレス信号RAD Iの上位2ビットは一致検出回路244にも供給される。

【0140】図28は、図26中の一致検出回路244およびフラグレジスタFLG1~FLG4の構成を示すブロック図である。図28を参照して、一致検出回路244は、内部行アドレス信号RAD Iの上位2ビットをフラグレジスタFLG1のフラグと比較する一致検出器252および254と、その上位2ビットをフラグレジスタFLG2のフラグと比較する一致検出器256および258と、その上位2ビットをフラグレジスタFLG3のフラグと比較する一致検出器260および262と、その上位2ビットをフラグレジスタFLG4のフラグと比較する一致検出器264および266と、ANDゲート268、270、272、274と、ORゲート276と、インバータ278とを含む。

【0141】次に、図26~図28に示されたDRAM

の動作を説明する。外部から与えられたアドレス信号ADの上位2ビットが(0, 0)であれば、メモリブロックB1内にデータが格納される。フラグデコーダ246はその外部から与えられるアドレス信号ADの上位2ビット(0, 0)をデコードし、さらにそのデコード信号にตอบสนองしてフラグ活性化回路148がメモリブロックB1に対応するフラグレジスタFLG1のフラグを活性化する。同様に、メモリブロックB3内にデータが格納される場合は、そのメモリブロックB3に対応するフラグレジスタFLG3のフラグが活性化される。したがって、図26に示されるように、既に使用されているメモリブロックB1およびB3に対応するフラグレジスタFLG1およびFLG3には「1」のフラグがそれぞれ格納される。他方、未だ使用されていないメモリブロックB2およびB4に対応するフラグレジスタFLG2およびFLG4には「0」のフラグが格納される。

【0142】セルフリフレッシュモードでは、内部アドレスカウンタ28が内部行アドレスストロブ信号RASIにตอบสนองしてリフレッシュのための内部行アドレス信号RAD Iを順次内部的に生成する。内部アドレスカウンタ28によって生成された内部行アドレス信号RAD IがメモリブロックB1内のアドレスを示す場合は、一致検出回路244は禁止信号IHBをスイッチ回路242に与えない。そのため、内部行アドレスストロブ信号RASIが行デコーダ12に内部行アドレスストロブ信号RASI2として与えられ、その内部行アドレス信号RAD Iが行デコーダ12に取込まれる。行デコーダ12はその取込まれた内部行アドレス信号RAD IにตอบสนองしてメモリブロックB1内のワード線を選択的に活性化する。それにより、このメモリブロックB1内のメモリセルがリフレッシュされる。

【0143】他方、内部アドレスカウンタ28によって生成された内部行アドレス信号RAD IがメモリブロックB2内のアドレスを示す場合は、一致検出回路244が禁止信号IHBをスイッチ回路242に与える。そのため、内部行アドレスストロブ信号RASIはスイッチ回路242によって遮断され、行デコーダ12に与えられない。そのため、その内部行アドレス信号RAD Iは行デコーダ12に取込まれないので、行デコーダ12はメモリブロックB2内のワード線を活性化しない。

【0144】以上のようにこの実施の形態15によれば、既に使用されているメモリブロックのみがリフレッシュされ、未だ使用されていないメモリブロックはリフレッシュされないため、すべてのメモリブロックがリフレッシュされる場合に比べて消費電力が低減される。

【0145】図29は、図26~図28に示されたDRAMの動作を示すタイミング図である。図29(a)に示されるようにセルフリフレッシュモードではセルフリフレッシュイネーブル信号SREFがHレベルにある。図29(c)に示されるように、リフレッシュを行なう

期間では禁止信号 IHB は L レベルになり、リフレッシュを無視する期間では禁止信号 IHB は H レベルになる。したがって、図 29 (d) に示されるように、リフレッシュを行なう期間では動作電流が流れるが、リフレッシュを無視する期間では動作電流は流れない。その結果、この DRAM の消費電力が低減される。

【0146】【実施の形態 16】図 30 は、この発明の実施の形態 16 による DRAM で用いられる行デコーダの具体的な構成を示す回路図である。図 30 を参照して、この行デコーダは、行アドレス信号 A3 ~ A8 およびその相補的な行アドレス信号 /A3 ~ /A8 をプリデコードしてプリデコード信号 X1 ~ X12 をプリデコード信号線 292 に供給するプリデコード 290 と、プリデコード信号 X1 ~ X12 に応答して選択的に活性化される複数のデコーダユニット RD1, RD2, RD3, ... と、行アドレス信号 A1, A2 およびその相補的な行アドレス信号 /A1, /A2 にデコードしてワード線駆動信号 RX0 ~ RX3 を生成する RX デコーダ 294 とを備える。デコーダユニット RD1, RD2, RD3, ... の各々は 4 つのワード線に対応して設けられる。また、各デコーダユニットは、4 つのワード線を駆動する 4 つの AND ゲート 280, 282, 284, 286 と、OR ゲート 288 と、プリデコード信号を受ける AND ゲート 289 とを含む。

【0147】図 31 は、図 30 のプロデコード 290 の一部構成を示す回路図である。図 31 を参照して、このプリデコード 290 は、アドレス信号 A3, /A3, A4, /A4 に応答してプリデコード信号 X1 ~ X4 を生成する AND ゲート 310, 312, 314, 316 を含む。このプリデコード 290 はさらに、H レベルのセルフリフレッシュイネーブル信号 SREF に応答してプリデコード信号 X1 ~ X4 を強制的に L レベルにするためのインバータ 318 を含む。

【0148】図 32 は、図 30 中の RX デコーダ 294 の具体的な構成を示す回路図である。図 32 を参照して、この RX デコーダ 294 は、アドレス信号 A1, /A1, A2, /A2 に応答する AND ゲート 320, 322, 324, 326 と、ワード線駆動信号 RX0 ~ RX3 を生成する OR ゲート 328, 330, 332, 334 とを含む。この RX デコーダ 294 はさらに、H レベルのセルフリフレッシュイネーブル信号 SREF に応答してワード線駆動信号 RX0 ~ RX3 を強制的に H レベルにするためのインバータ 336 を含む。

【0149】再び図 30 を参照して、この行デコーダはセルフリフレッシュモードにおいてデコーダユニット RD1, RD2, RD3, ... を順次選択的に活性化するためのシフトレジスタ 296 を備える。このシフトレジスタ 296 は、複数のラッチ回路 298 および 300 と、内部行アドレスストロブ信号 RASI に応答してオンになる複数の転送ゲート 302 と、相補的な内部行アド

レスストロブ信号 /RASI に応答してオンになる複数の転送ゲート 304 とを含む。このシフトレジスタ 296 では、内部行アドレス RASI および /RASI に応答してラッチ回路 298 および 300 にラッチされたデータ信号が図上左側から右側へシフトされる。この行デコーダはさらに、シフトレジスタ 296 の最終段のラッチ回路 298 に H レベルのデータ信号がラッチされると、所定期間の間パルス信号 CRY および /CRY を発生するワンショットパルス発生回路 306 を備える。

【0150】この行デコーダはさらに、パルス信号 CRY および /CRY に応答して動作するシフトレジスタ 308 を備える。このシフトレジスタ 308 は、ワード線駆動信号 RX0 ~ RX3 を順次強制的に活性化する。

【0151】図 33 は、図 30 に示された行デコーダ 10 の特徴的な構成のみを示すブロック図である。図 33 に示されるように、H レベルのセルフリフレッシュイネーブル信号 SREF が与えられると、リフレッシュタイマ 24 がクロック信号を生成し、さらに内部行アドレスストロブ信号発生器 26 がそのクロック信号に応答して内部行アドレスストロブ信号 RASI を生成する。プリデコード用のシフトレジスタ 296 は内部行アドレスストロブ信号 RASI に応答してインクリメントされ、RX デコーダ用シフトレジスタ 308 はシフトレジスタ 296 の出力信号に応答してインクリメントされる。

【0152】次に、図 30 に示された行デコーダの動作を説明する。まず通常動作モードでは、プリデコード信号 X1 ~ X12 に応答してデコーダユニット RD1, RD2, RD3, ... が選択的に活性化される。たとえばデコーダユニット RD1 が活性化された場合は、4 つのワード線 WL0 ~ WL3 のいずれかが活性化可能な状態にある。これら 4 つのワード線 WL0 ~ WL3 はワード線駆動信号 RX0 ~ RX3 に応答して選択的に活性化される。

【0153】ここで、従来の行デコーダではセルフリフレッシュモードにおいても通常の動作モードと同様に、内部行アドレス信号に応答してプリデコード信号が生成され、さらにワード線駆動信号が生成され、それによりワード線が選択的に活性化される。そのため、従来の行デコードのセルフリフレッシュモードでは通常動作モードと同様にプリデコード信号線のための充放電電流が消費される。

【0154】これに対し図 30 に示された実施の形態 16 では、セルフリフレッシュモードにおいては H レベルのセルフリフレッシュイネーブル信号 SREF に応答してプリデコード 290 および RX デコーダ 294 が不活性化される。その代わりに、シフトレジスタ 296 がデコーダユニット RD1, RD2, RD3, ... を順次選択的に活性化する。また、シフトレジスタ 308 が RX デコーダ 294 の代わりにワード線駆動信号 RX0 ~ RX

10

20

30

40

50

3を順次選択的に活性化する。シフトレジスタ308は最初ワード線駆動信号RX0を活性化する。したがって、シフトレジスタ296がデコーダユニットRD1, RD2, RD3, …を順次活性化すると、ワード線WL0, WL4, WL8, …が順次活性化される。シフトレジスタ296が最終段のデコーダユニット(図示せず)を活性化し終わると、シフトレジスタ308はワンショットパルス発生回路306からのパルス信号CRY, /CRYにตอบสนองしてインクリメントされる。したがって、シフトレジスタ308はワード線駆動信号RX0の代わり10にワード線駆動信号RX1を活性化する。再びシフトレジスタ296がデコーダユニットRD1, RD2, RD3, …を順次活性化すると、ワード線WL1, WL5, WL9, …が順次活性化される。このようにしてすべてのワード線が順次選択的に活性化される。

【0155】以上のようにこの実施の形態16によれば、セルフリフレッシュモードではシフトレジスタ296および308がワード線を順次選択的に活性化し、リフレッシュのための内部ロウアドレス信号が内部的に生成されるごとにプリデコード信号線292が充放電されない10ので、セルフリフレッシュモードにおける消費電力が低減される。

【0156】[実施の形態17] 図34は、この発明の実施の形態17によるDRAMの一部構成を示すブロック図である。図34に示されるように、このDRAMのメモリセルアレイはメモリブロックB1~B4に分割される。メモリブロックB1およびB2の間にはセンスアンプ列14が配置される。メモリブロックB3およびB4間にはセンスアンプ列14が配置される。メモリブロックB1~B4の各々は複数のビット線対BL, /BLを含む。各センスアンプ列14は各メモリブロック内の複数のビット線対BL, /BLに対応する複数のセンスアンプ338を含む。各センスアンプ338はスイッチ回路56を介してブロックB1内のビット線対BL, /BLに接続されるとともに、スイッチ回路62を介してブロックB2内のビット線対BL, /BLに接続される。

【0157】待機状態ではビット線選択信号BLI1およびBLI2の電位はともに昇圧電源電位にあるので、両側のビット線対BL, /BLが1つのセンスアンプ338に接続されている。ここで、たとえばメモリブロックB1が選択されると、ビット線選択信号BLI2の電位が接地電位に下降するので、メモリブロックB2内のビット線対BL, /BLがセンスアンプ338から切離される。

【0158】上述したように通常動作モードでは従来と同様に動作する。他方、セルフリフレッシュモードでは従来のDRAMでは、通常動作モードと同様に動作する。すなわち、リフレッシュのための内部行アドレス信号が生成され、それにより1つのワード線が活性化され

るごとに、そのワード線の活性化に先立って両側のビット線選択信号BLI1およびBLI2の電位が昇圧電源電位に引上げられている。

【0159】図35は、この発明の実施の形態17によるDRAMの特徴的な構成を示すブロック図である。図35を参照して、このDRAMは、内部アドレスカウンタ28によって生成される内部行アドレス信号の上位2ビットA10, A11をそれぞれラッチするラッチ回路340および342と、その生成されたアドレス信号A10, A11がそれぞれラッチ回路340および342のアドレス信号と一致するか否かを検出する一致検出回路344とを備える。図35中のビット線選択信号発生回路84は、それらアドレス信号が互いに一致した場合はビット線選択信号BLIの電位をそのまま維持する。

【0160】図36は、図34および図35に示されたDRAMのセルフリフレッシュモードにおける動作を示すタイミング図である。図36(c)に示されるようにセルフリフレッシュイネーブル信号SREFがHレベルのなると、リフレッシュタイマ24は図36(d)に示されるようなクロック信号CLKを生成する。内部行アドレスストロブ信号RASI発生器26はそのクロック信号CLKにตอบสนองして図36(e)に示されるような内部行アドレスストロブ信号RASIを生成する。他方、内部アドレスカウンタ28はそのクロック信号CLKにตอบสนองしてリフレッシュのための内部行アドレス信号RADIを順次生成する。この内部行アドレス信号RADIの上位2ビットA10およびA11は、図36

(a)および(b)に示されるように変化する。アドレス信号A11がHレベルでかつアドレス信号A10がHレベルであれば、メモリブロックB1が活性化される。アドレス信号A11がLレベルであり、かつアドレス信号A10がHレベルであれば、メモリブロックB2が活性化される。アドレス信号A11がHレベルであり、かつアドレス信号A10がLレベルであれば、メモリブロックB3が活性化される。そして、アドレス信号A11がLレベルであり、かつアドレス信号A10がLレベルであるならば、メモリブロックB4が活性化される。

【0161】最初はアドレス信号A10およびA11ともにHレベルになるので、それらHレベルのアドレス信号A10およびA11はラッチ回路340および342にそれぞれ格納される。この場合、メモリブロックB1が活性化されるので、図36(f)~(i)に示されるように、メモリブロックB1に対応するビット線選択信号BLI1は昇圧電源レベルになり、メモリブロックB2に対応するビット線選択信号BLI2は接地電位になる。また、メモリブロックB3に対応するビット線選択信号BLI3は昇圧電源電位を維持し、メモリブロックB4に対応するビット線選択信号BLI4もまた昇圧電源電位を維持する。

【0162】次いで、内部アドレスカウンタ28はクロ

10

20

30

40

50

ック信号CLKにตอบสนองしてインクリメントされるが、アドレス信号A10およびA11は変化しない。この新たに生成されたアドレス信号A10およびA11は一致検出回路344に与えられ、この一致検出回路344において前にラッチされたアドレス信号A10およびA11とそれぞれ比較される。この比較動作は内部行アドレスストローブ信号RASIにตอบสนองして行なわれる。ここでは、前に生成されたアドレス信号A10およびA11が今回新たに生成されたアドレス信号A10およびA11と一致するので、ビット線選択信号発生回路84はビット線選択信号BLIの電位を前の電位のまま維持する。

したがって、ビット線選択信号BLI1は昇圧電源電位のまま維持され、ビット線選択信号BLI2は接地電位のまま維持される。また、ビット線選択信号BLI3およびBLI4はともに昇圧電源電位のまま維持される。

【0163】次いで、新たに生成されたアドレス信号A10およびA11がそれぞれHレベルおよびLレベルになると、メモリブロックB2が活性化され、そのブロックB2内の1つのワード線が活性化される。この新たに生成されたアドレス信号A10およびA11はその前にラッチされているアドレス信号A10およびA11と一致しないので、ビット線選択信号発生回路84はビット線選択信号BLIの電位を変化させる。すなわち、メモリブロックB1に対応するビット線選択信号BLI1は昇圧電源電位から接地電位に下降し、メモリブロックB2に対応するビット線選択信号BLIには接地電位から昇圧電源電位に上昇する。

【0164】このように、従来のDRAMでは同じメモリブロック内のワード線が連続的に活性化される場合であってもそのワード線の活性化前に必ずビット線選択信号の電位が昇圧電源電位まで上昇せられるのに対し、この実施の形態17では同じメモリブロック内のワード線が連続的に活性化される場合はビット線選択信号の電位は変化させられない。したがって、ビット線選択信号の充放電の回数が低減され、その結果、セルフリフレッシュモードにおける消費電力が低減される。

【0165】【実施の形態18】図37は、この発明の実施の形態18によるDRAMの一部構成を示すブロック図である。図37を参照して、このDRAMはさらに、内部アドレスカウンタ28とマルチプレクサ18との間にアドレス変換器346を備える。

【0166】上述した実施の形態17では、ある程度同じメモリブロック内のワード線が連続的に活性化される場合を示したが、アドレス構成によっては同じメモリブロック内のワード線が連続的に活性化されない場合がある。このような場合は、内部行アドレス信号RA DIにตอบสนองしてできる限り多数のワード線が同じメモリブロック内で連続的に活性化されるようにその順次形成される内部行アドレス信号RA DIを適宜変更すればよい。

【0167】図38は図37中のアドレス変換器346

の具体的な構成の一例を示す回路図である。図38を参照して、このアドレス変換器346では、アドレス信号A0およびA1が互いに交換され、それにより内部アドレス信号IA0およびIA1が生成される。アドレス信号A2はインバータ348で反転され、それにより内部アドレス信号IA2が生成される。アドレス信号A3はそのまま内部アドレス信号IA3として供給される。アドレス信号A4およびA5は互いに交換され、それにより内部アドレス信号IA4およびIA5が生成される。

【0168】以上のようにこの実施の形態18によれば、アドレス変換器346が同じメモリブロック内の複数のワード線が連続的に活性化されるように内部アドレスカウンタ28からの内部行アドレス信号RA DIが変換されるため、上述した実施の形態17と同様にビット線選択信号の充放電の回数が低減され、その結果、セルフリフレッシュモードにおける消費電力が低減される。

【0169】以上でこの発明の実施の形態を詳述したが、この発明の範囲は上述した実施の形態によって限定されるものではない。たとえば上記セルフリフレッシュモードの代わりにその他の高速性を要求されない動作モード、たとえば低周期シンクロナスモードなどにおいてもこの発明は適用可能であるなど、この発明はその主旨を逸脱しない範囲内で当業者の知識に基づき種々の改良、修正、変形などを加えた形態で実施することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるDRAMの全体構成を示すブロック図である。

【図2】 図1中のメモリブロックおよびセンスアンプ列の具体的な構成を示す回路図である。

【図3】 図1に示されたDRAMにおけるビット線選択信号を制御する回路の構成を示すブロック図である。

【図4】 図1～図3のDRAMの動作を示すタイミング図である。

【図5】 図2に示されたビット線選択信号、ワード線、ビット線、およびセンスノードの電位変化を示すグラフである。

【図6】 図1に示されたDRAMにおいて用いられる遅延回路の一例を示す回路図である。

【図7】 この発明の実施の形態2によるDRAMにおけるビット線選択信号、ワード線、ビット線、およびセンスノードの電位変化を示すグラフである。

【図8】 この発明の実施の形態3によるDRAMの一部構成を示す回路図である。

【図9】 図8のDRAMの動作を示すタイミング図である。

【図10】 図8のDRAMにおけるビット線選択信号、ワード線、ビット線および共通ソースノードの電位変化を示すグラフである。

【図11】 この発明の実施の形態4によるDRAMの

一部構成を示す回路図である。

【図 12】 図 11 の DRAM の動作を示すタイミング図である。

【図 13】 この発明の実施の形態 5 による DRAM の一部構成を示す回路図である。

【図 14】 図 13 の DRAM の動作を示すタイミング図である。

【図 15】 この発明の実施の形態 6 による DRAM の一部構成を示す回路図である。

【図 16】 図 15 の DRAM におけるビット線選択信号、ワード線、ビット線、および共通ソースノードの電位変化を示すグラフである。

【図 17】 この発明の実施の形態 7 による DRAM で用いられる内部降圧回路の構成を示す回路図である。

【図 18】 この発明の実施の形態 8 による DRAM で用いられる内部降圧回路の構成を示す回路図である。

【図 19】 この発明の実施の形態 9 による DRAM で用いられる内部降圧回路の構成を示す回路図である。

【図 20】 この発明の実施の形態 10 による DRAM で用いられる内部降圧回路の構成を示す回路図である。

【図 21】 この発明の実施の形態 11 による DRAM で用いられる内部降圧回路の構成を示す回路図である。

【図 22】 この発明の実施の形態 12 による DRAM で用いられる内部降圧回路の構成を示す回路図である。

【図 23】 この発明の実施の形態 13 による DRAM で用いられる内部降圧回路の構成を示す回路図である。

【図 24】 この発明の実施の形態 14 による DRAM の一部構成を示す回路図である。

【図 25】 図 24 の DRAM の動作を示すタイミング図である。

【図 26】 この発明の実施の形態 15 による DRAM の全体構成を示すブロック図である。

【図 27】 図 26 中の内部アドレスカウンタ、一致検出回路およびスイッチ回路の構成を示すブロック図である。

【図 28】 図 26 および図 27 中の一致検出回路の具体的な構成を示すブロック図である。

【図 29】 図 26 ~ 図 28 の DRAM の動作を示すタイミング図である。

【図 30】 この発明の実施の形態 16 による DRAM における行デコーダの構成を示す回路図である。

【図 31】 図 30 中のプリデコーダの一部構成を示す回路図である。

【図 32】 図 30 中の RX デコーダの具体的な構成を示す回路図である。

【図 33】 図 30 の行デコーダの構成を簡略的に示すブロック図である。

【図 34】 この発明の実施の形態 17 による DRAM の一部構成を示すブロック図である。

【図 35】 図 34 の DRAM の一部構成を示すブロック図である。

【図 36】 図 34 および図 35 の DRAM の動作を示すタイミング図である。

【図 37】 この発明の実施の形態 18 による DRAM の構成を示すブロック図である。

【図 38】 図 37 中のアドレス変換器の具体的な構成を示す回路図である。

【図 39】 従来の DRAM の一部構成を示す回路図である。

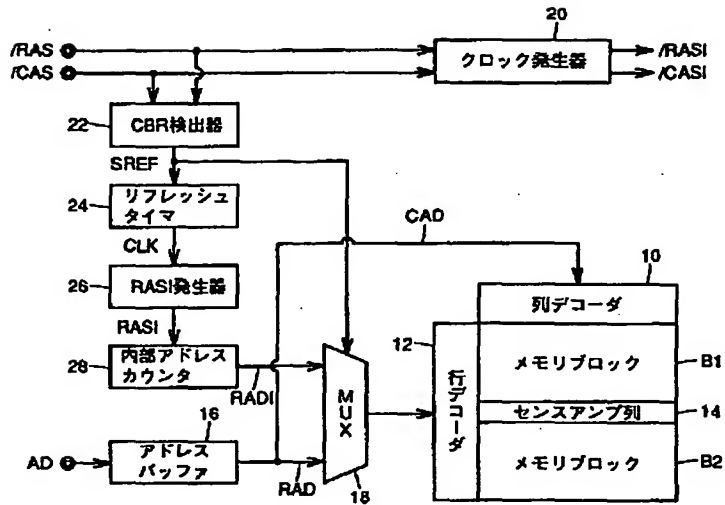
【図 40】 図 39 の DRAM におけるビット線選択信号、ワード線、およびビット線の電位変化を示すグラフである。

【図 41】 従来の DRAM で用いられる内部降圧回路の構成を示す回路図である。

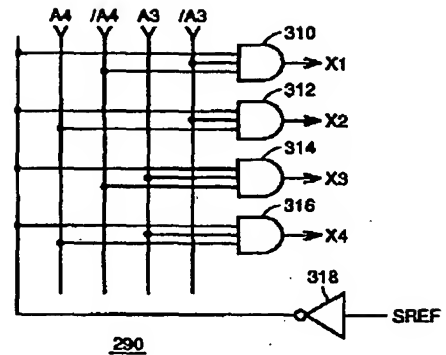
【符号の説明】

10 列デコーダ、12 行デコーダ、14 センスアンプ列、18 マルチプレクサ、22 CBR 検出器、24 リフレッシュタイマ、26 内部行アドレスストロブ信号発生器、28 内部アドレスカウンタ、30 メモリセル、36 Pチャネルセンスアンプ、44 Nチャネルセンスアンプ、56、62 スイッチ回路、91、106、128、142、146 電圧制御回路、148、182 基準電位発生回路、158、188、196、200 ダウンコンバータ制御回路、164、170、176、184、190、206 電圧ダウンコンバータ、166、172、192、208 比較回路、168、174、194、222 駆動トランジスタ、180 内部回路、224 選択器、226 昇圧制御回路、227 昇圧電源電位発生回路、232 電源ノード、228 昇圧電源ノード、236 ドライバ、242 スイッチ回路、244 一致検出回路、246 フラグデコーダ、248 フラグ活性化回路、290 プリデコーダ、294 RX デコーダ、296、308 シフトレジスタ、306 ワンショットプラス発生回路、338 センスアンプ、346 アドレス変換器、B1 ~ B4 メモリブロック、BL、/BL ビット線、WL ワード線、SN、/SN センスノード、S2P、S2N 共通ソースノード、FLG1 ~ FLG4 フラグレジスタ、RD1、RD2、RD3 デコーダユニット。

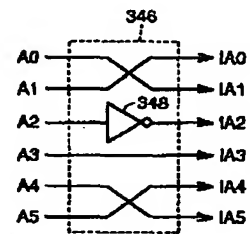
【図 1】



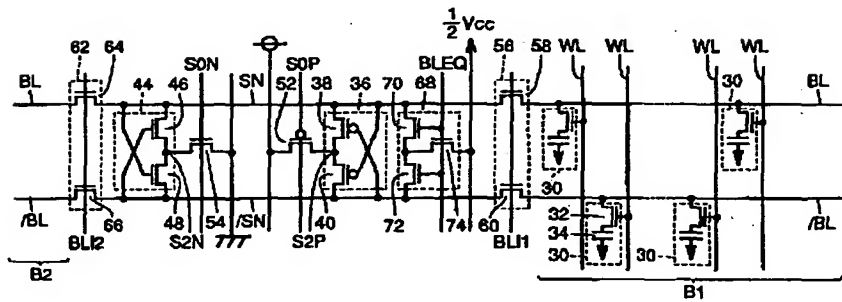
【図 3 1】



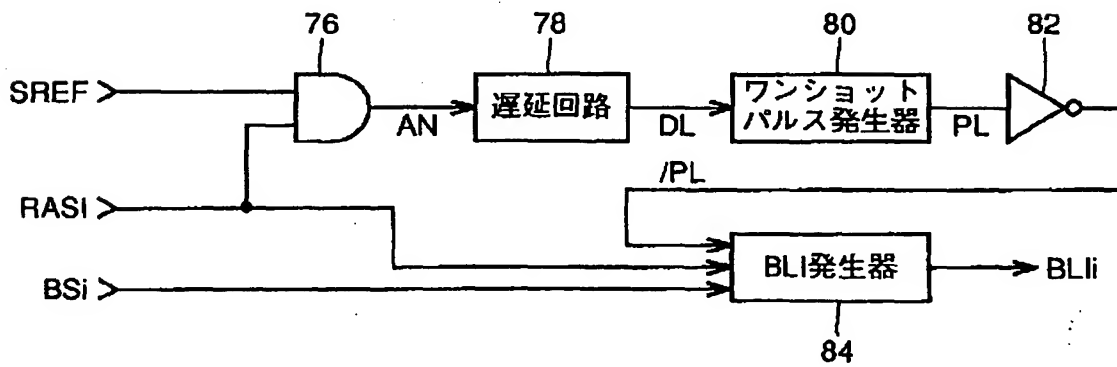
【図 3 8】



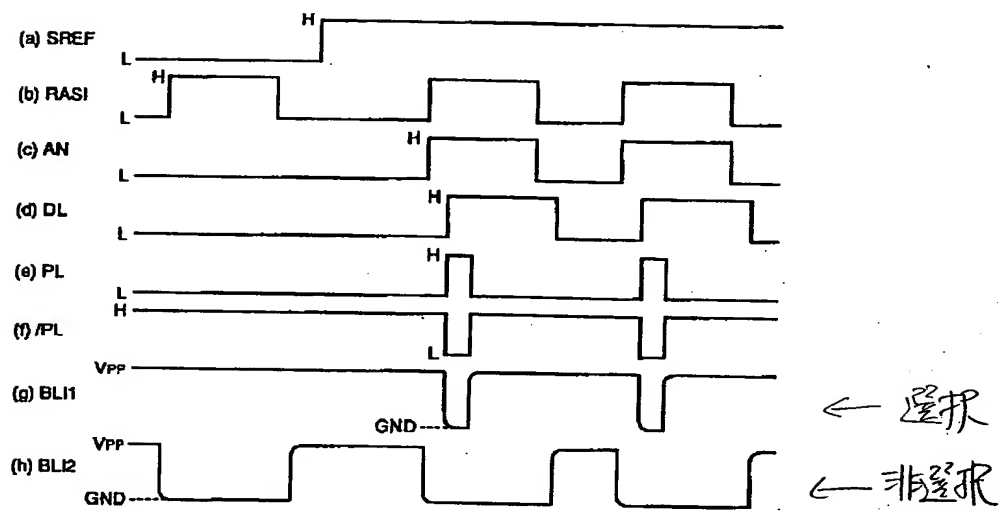
【図 2】



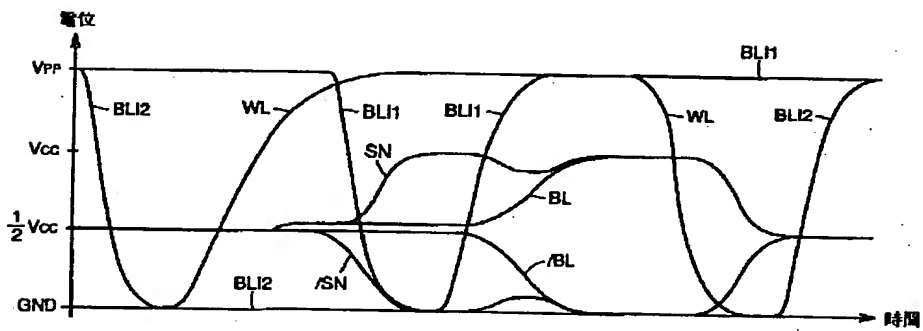
【図 3】



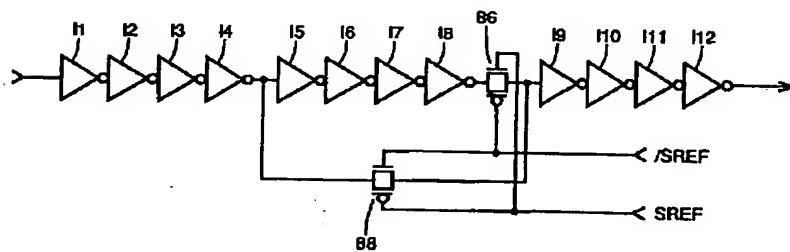
【図 4】



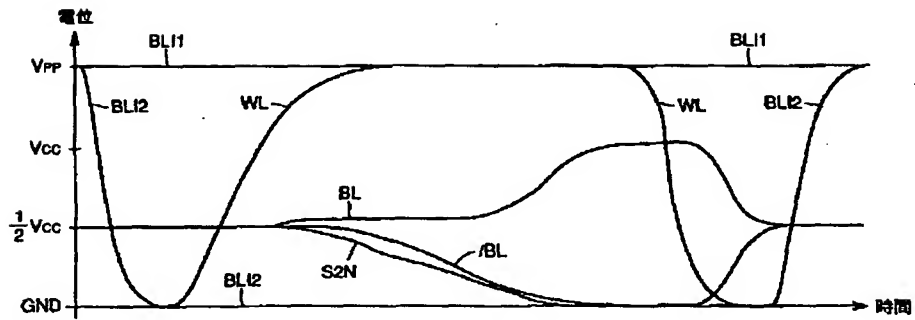
【図 5】



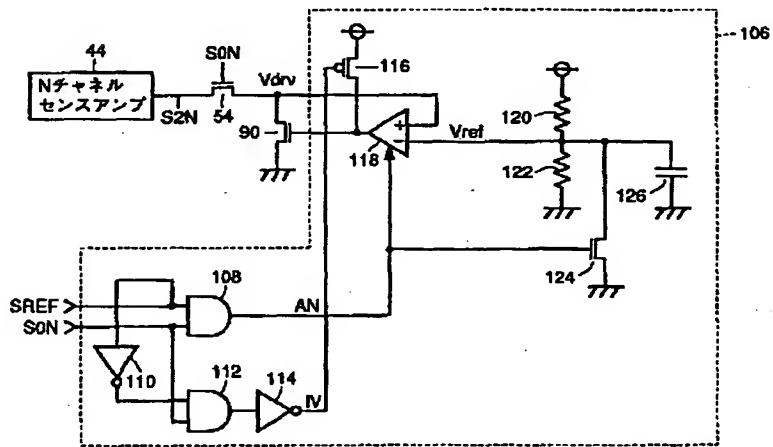
【図 6】



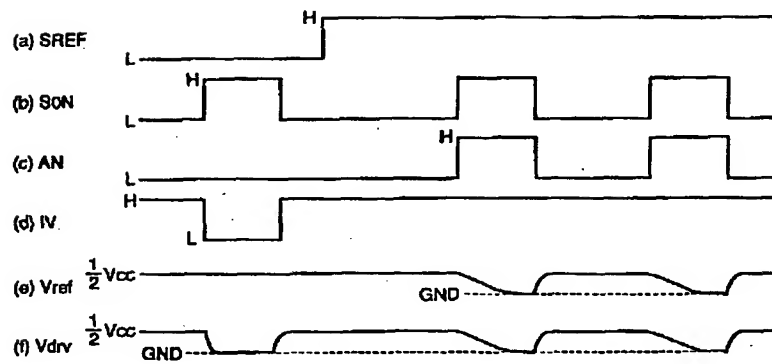
【図 10】



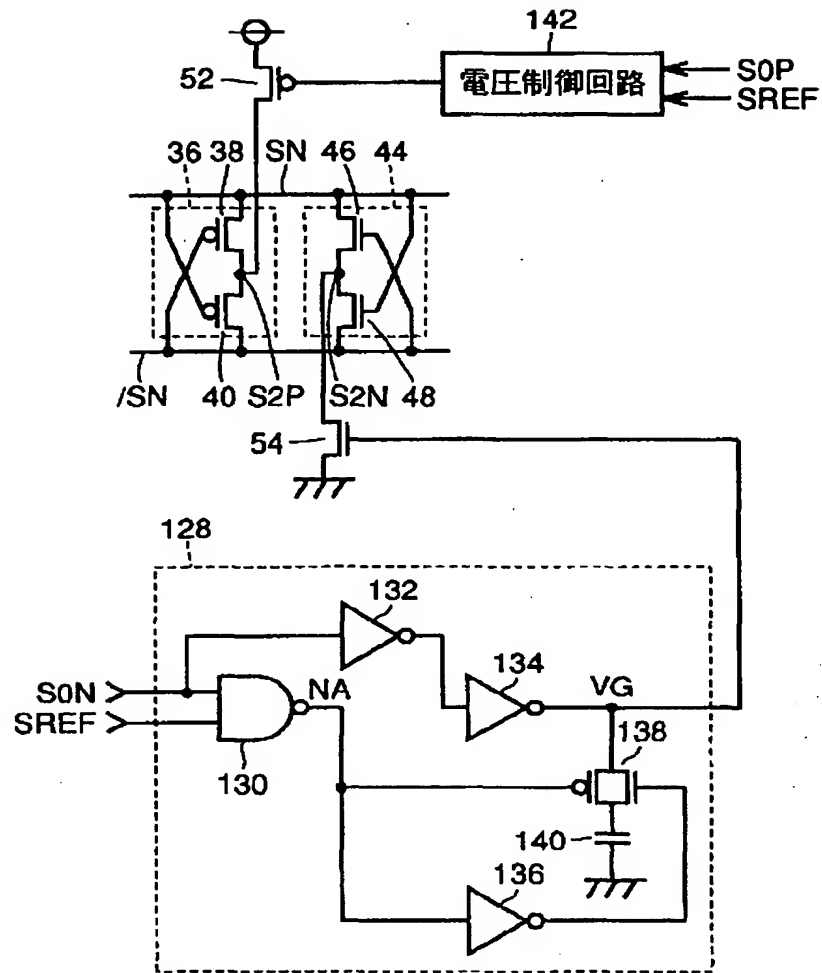
【図 11】



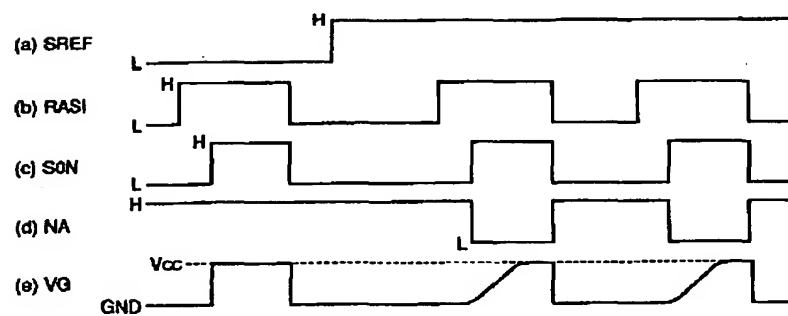
【図 12】



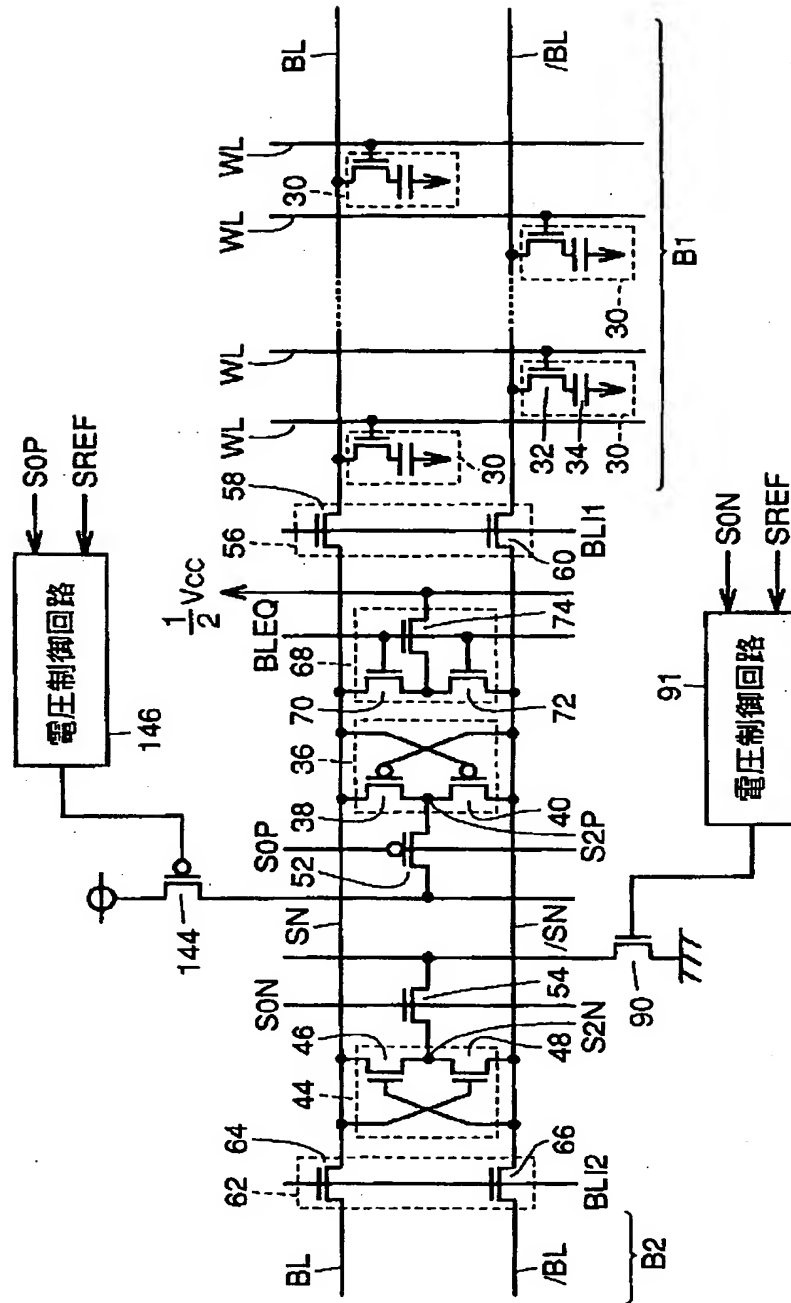
【図 1 3】



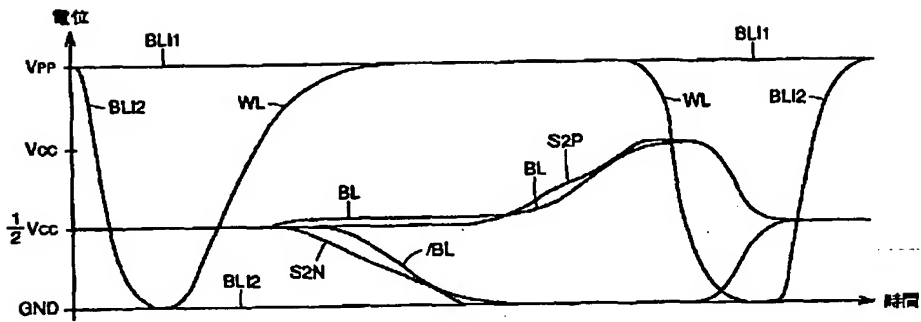
【図 1 4】



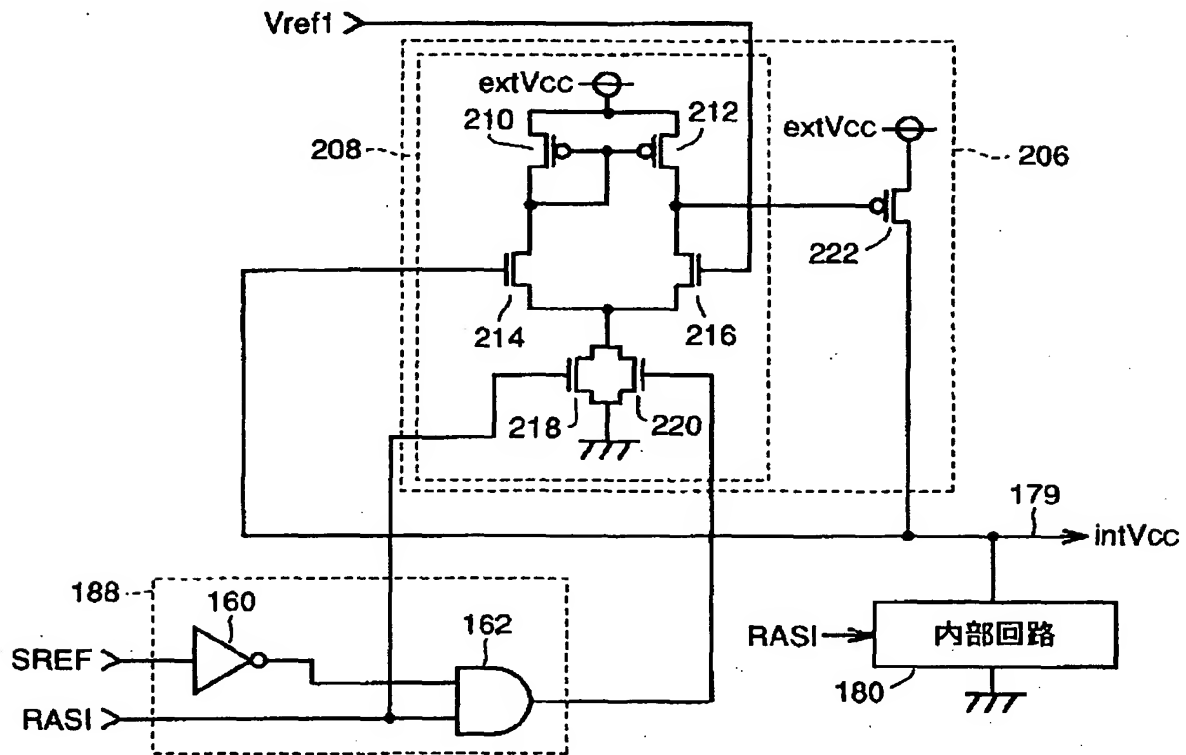
【図 15】



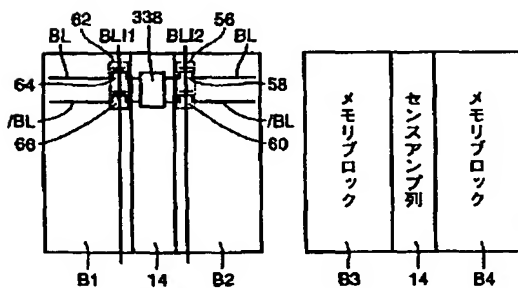
【図 1 6】



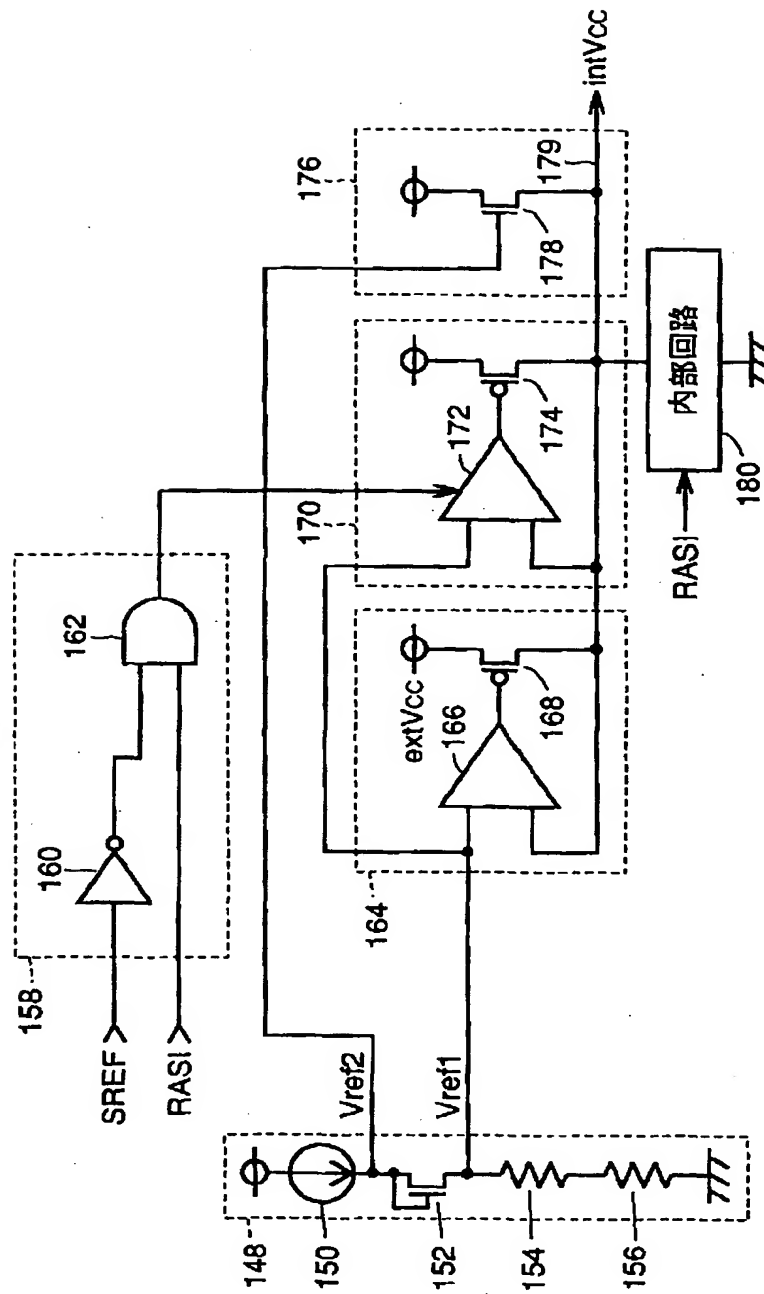
【図 2 2】



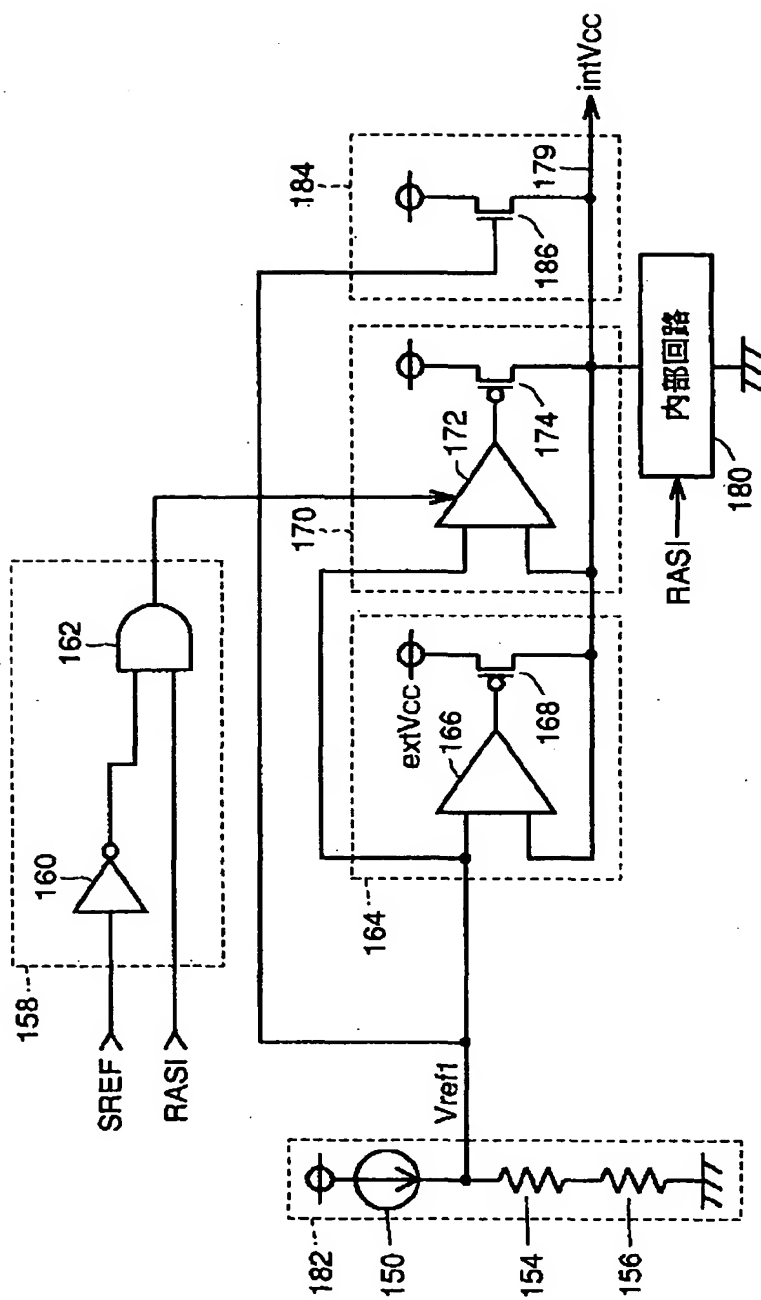
【図 3 4】



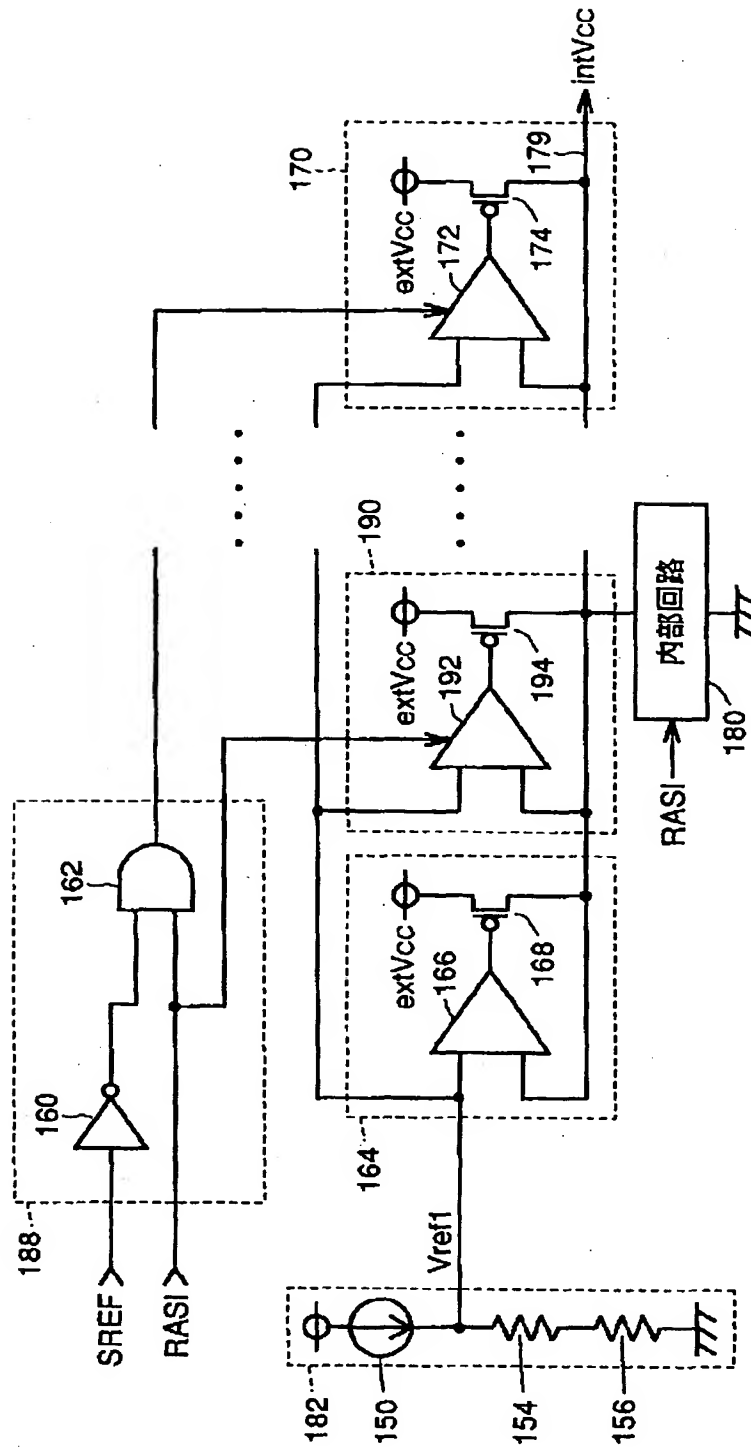
【図 17】



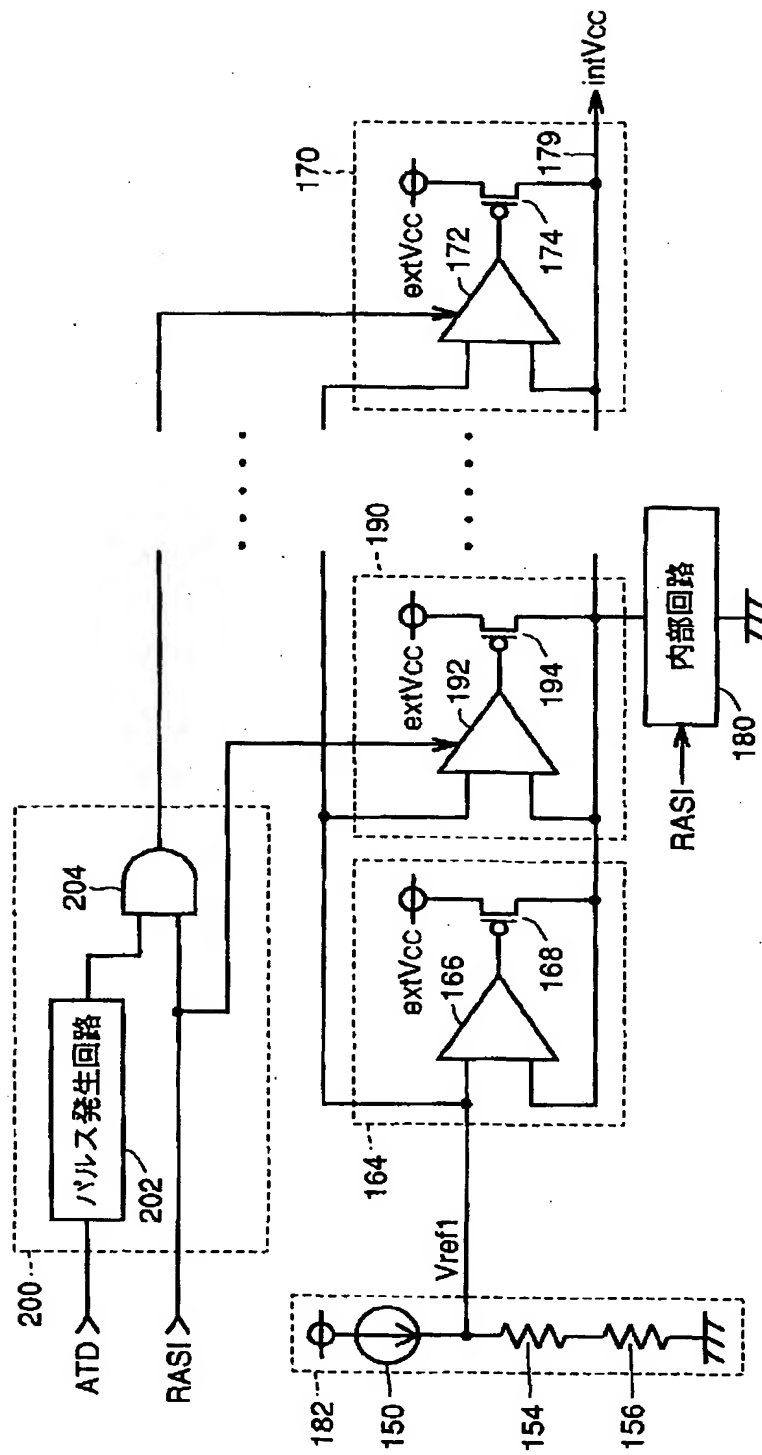
【図 18】



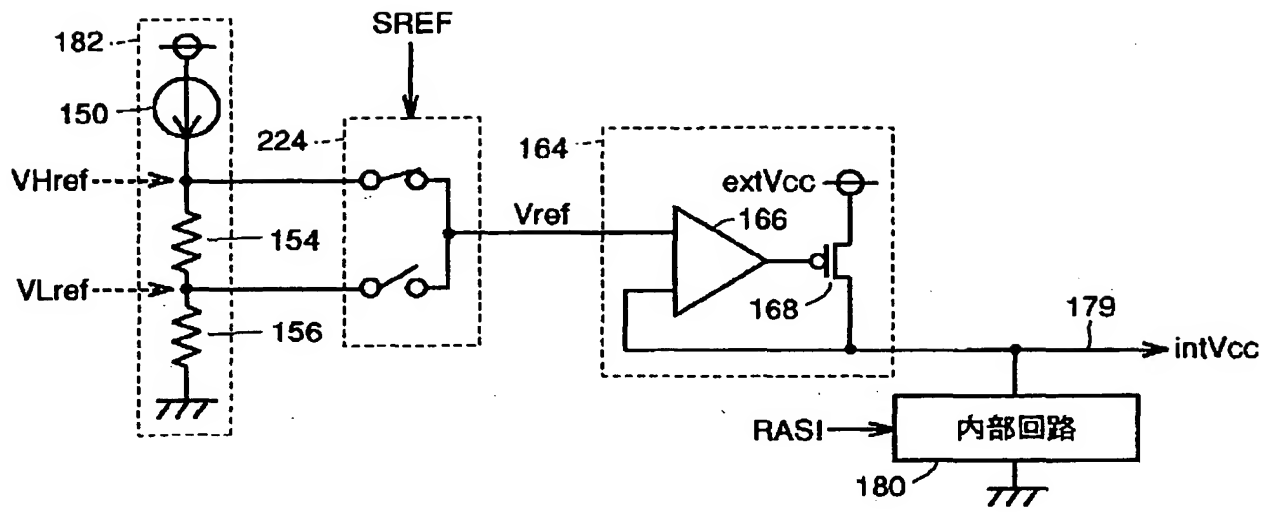
【図19】



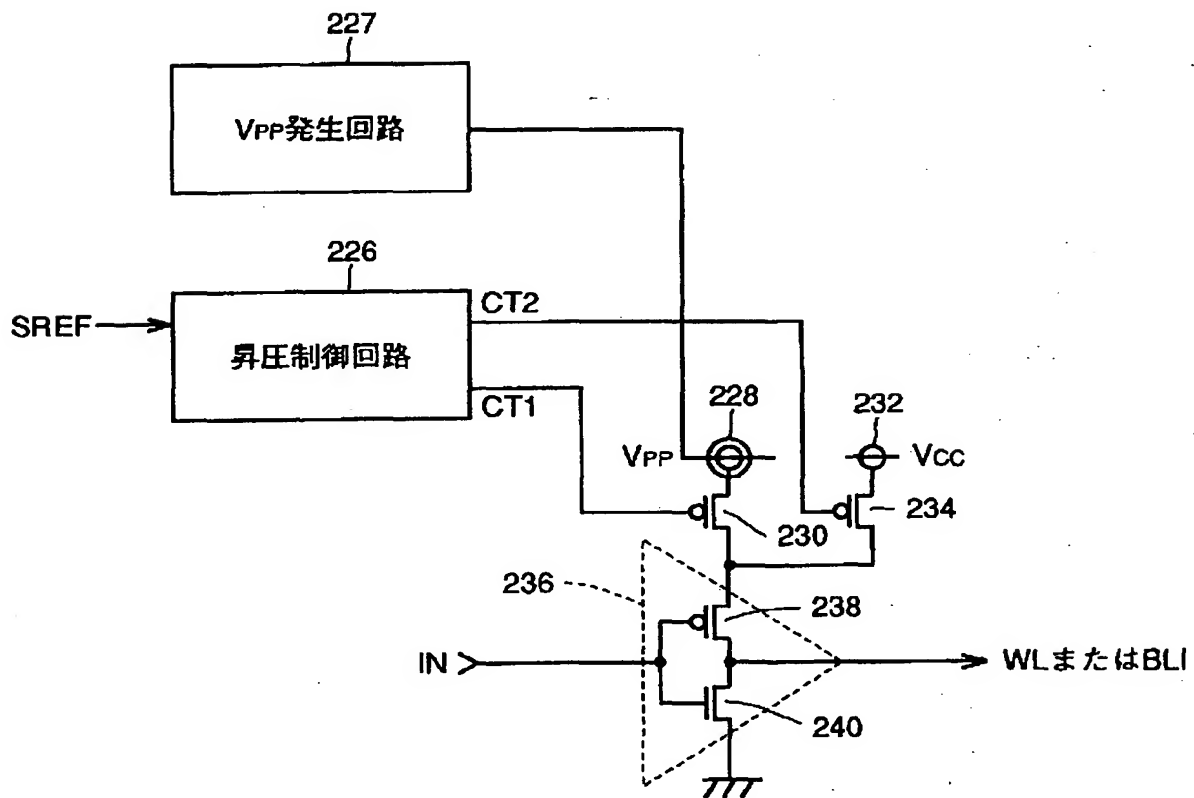
【図 2 1】



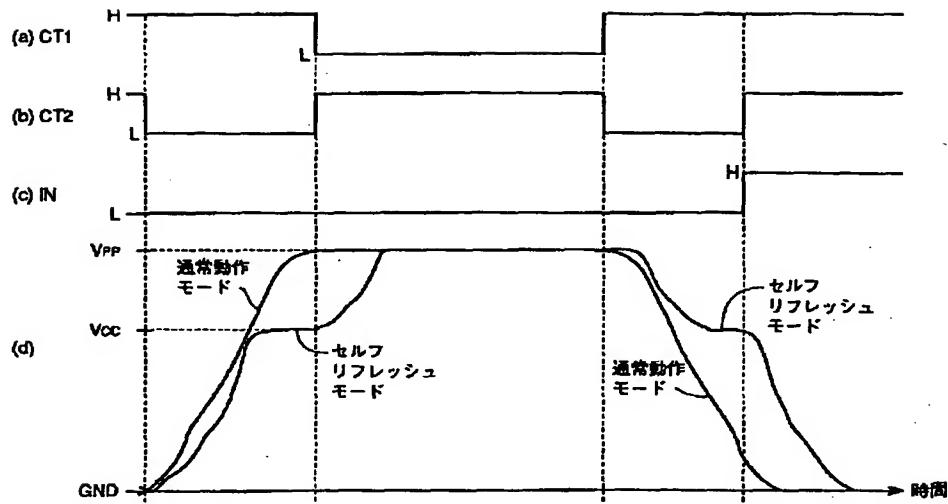
【図 2 3】



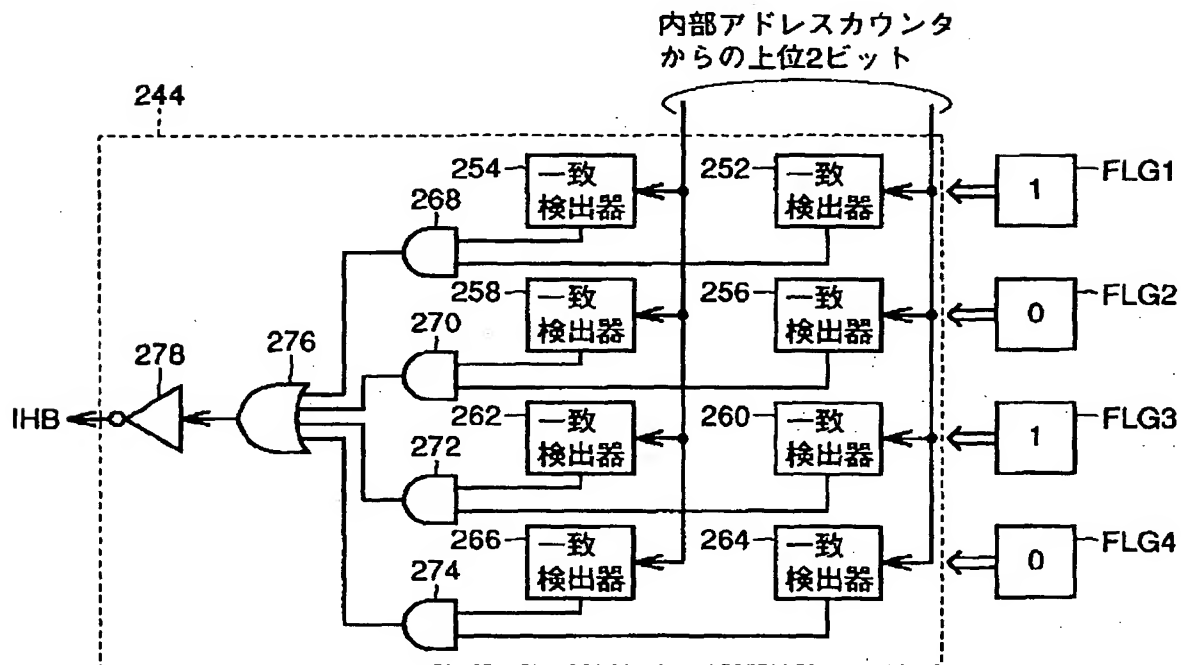
【図 2 4】



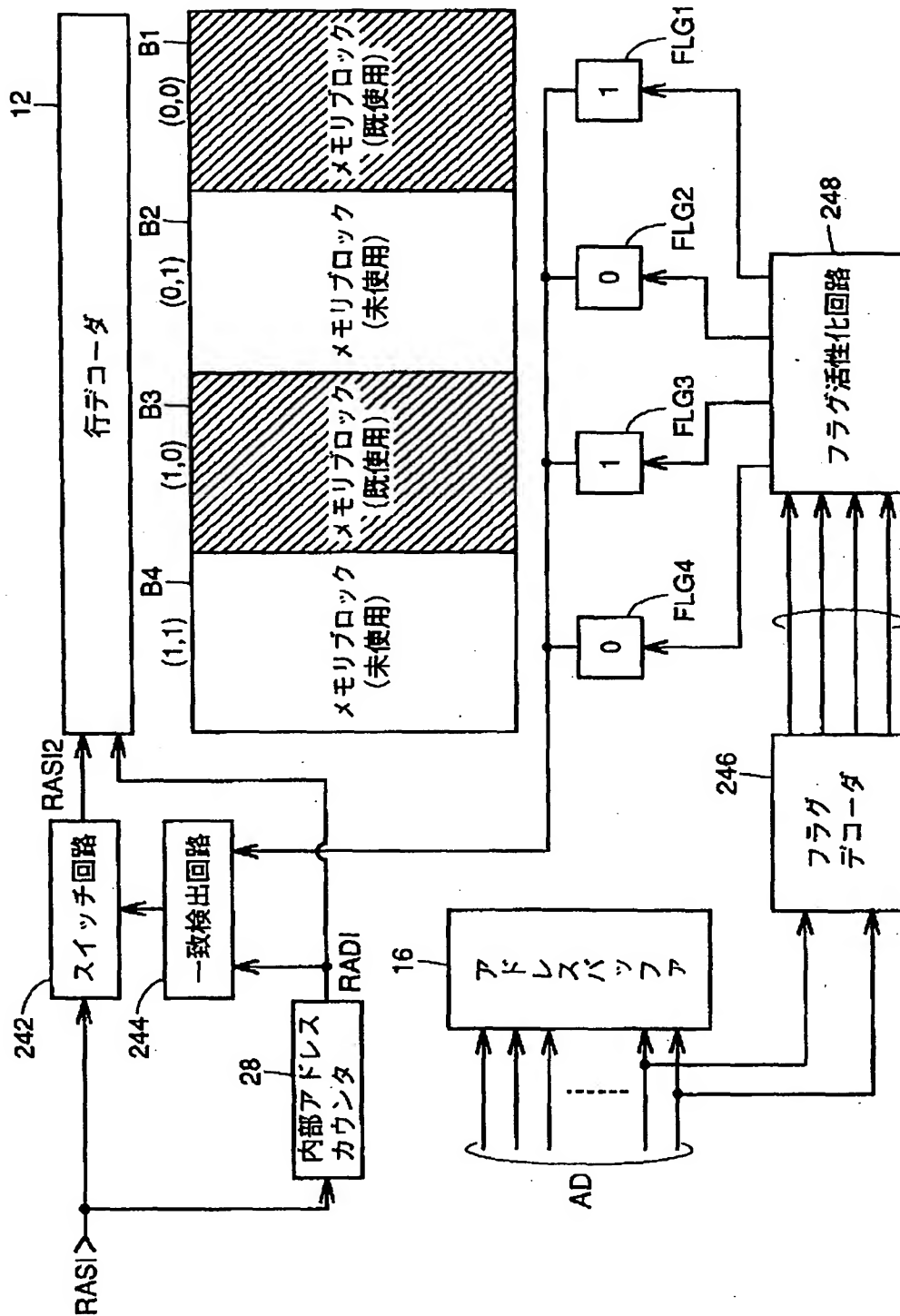
【図 25】



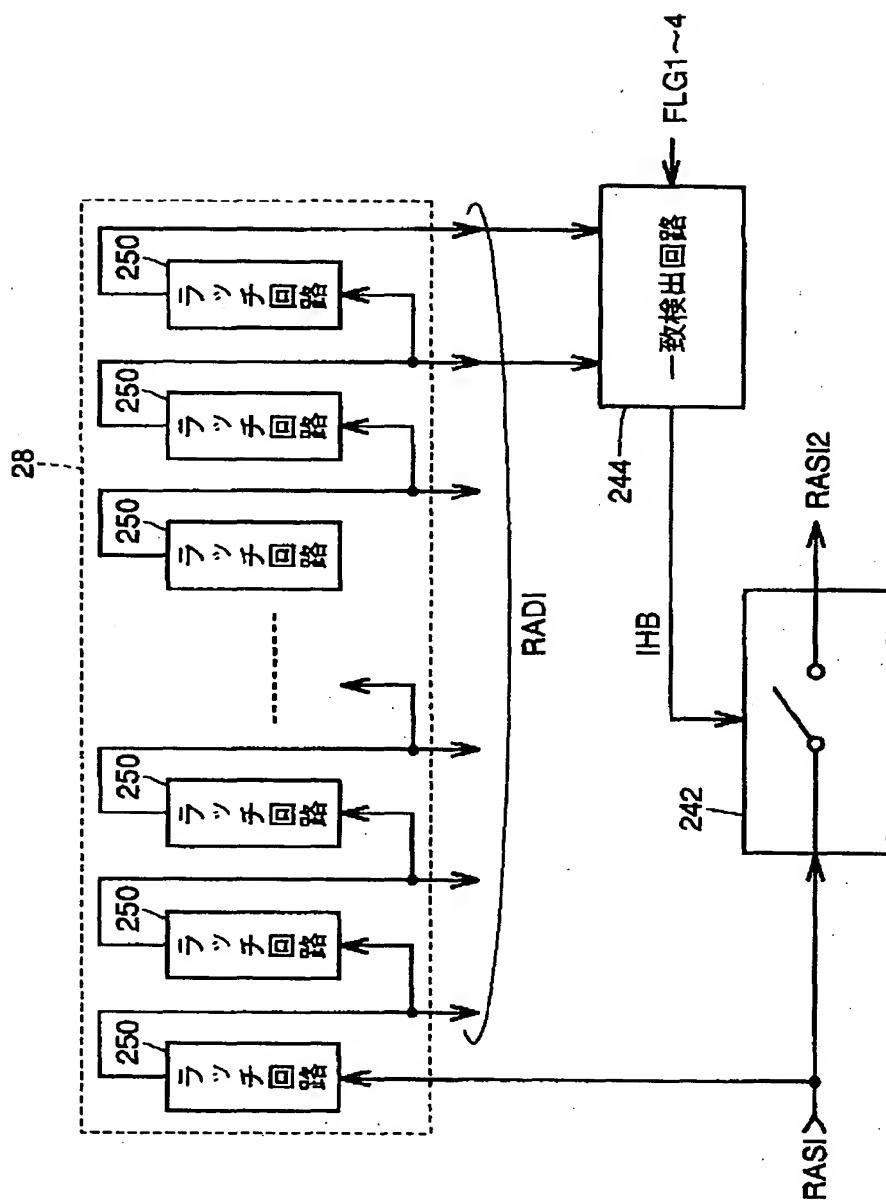
【図 28】



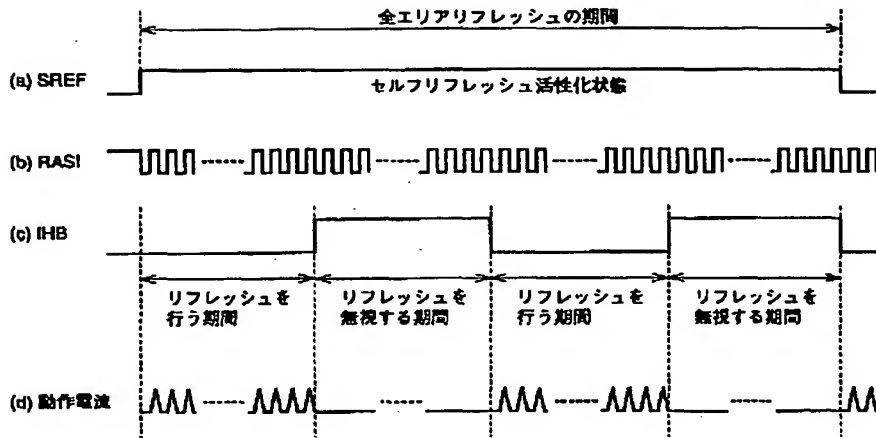
【図 26】



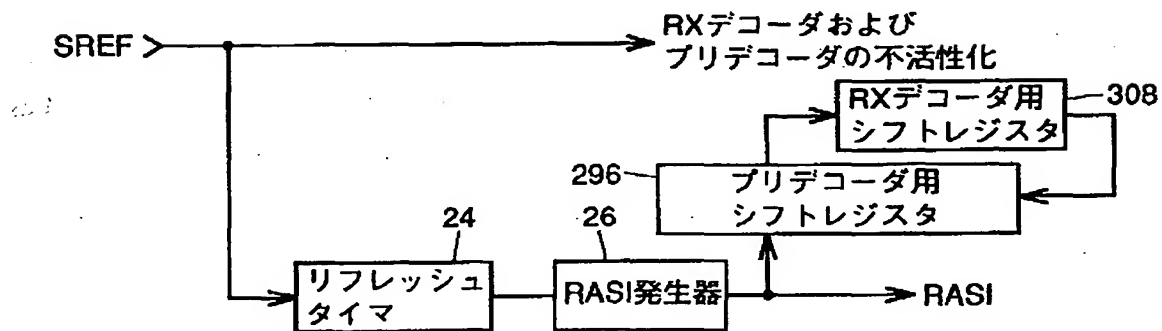
【図 27】



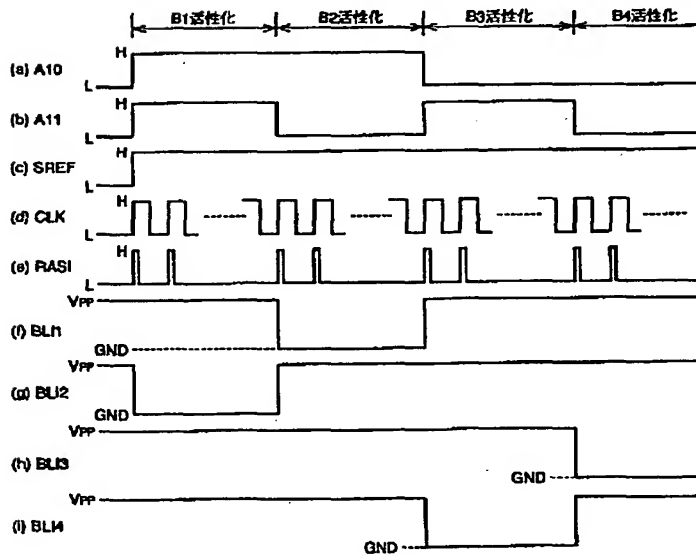
【図29】



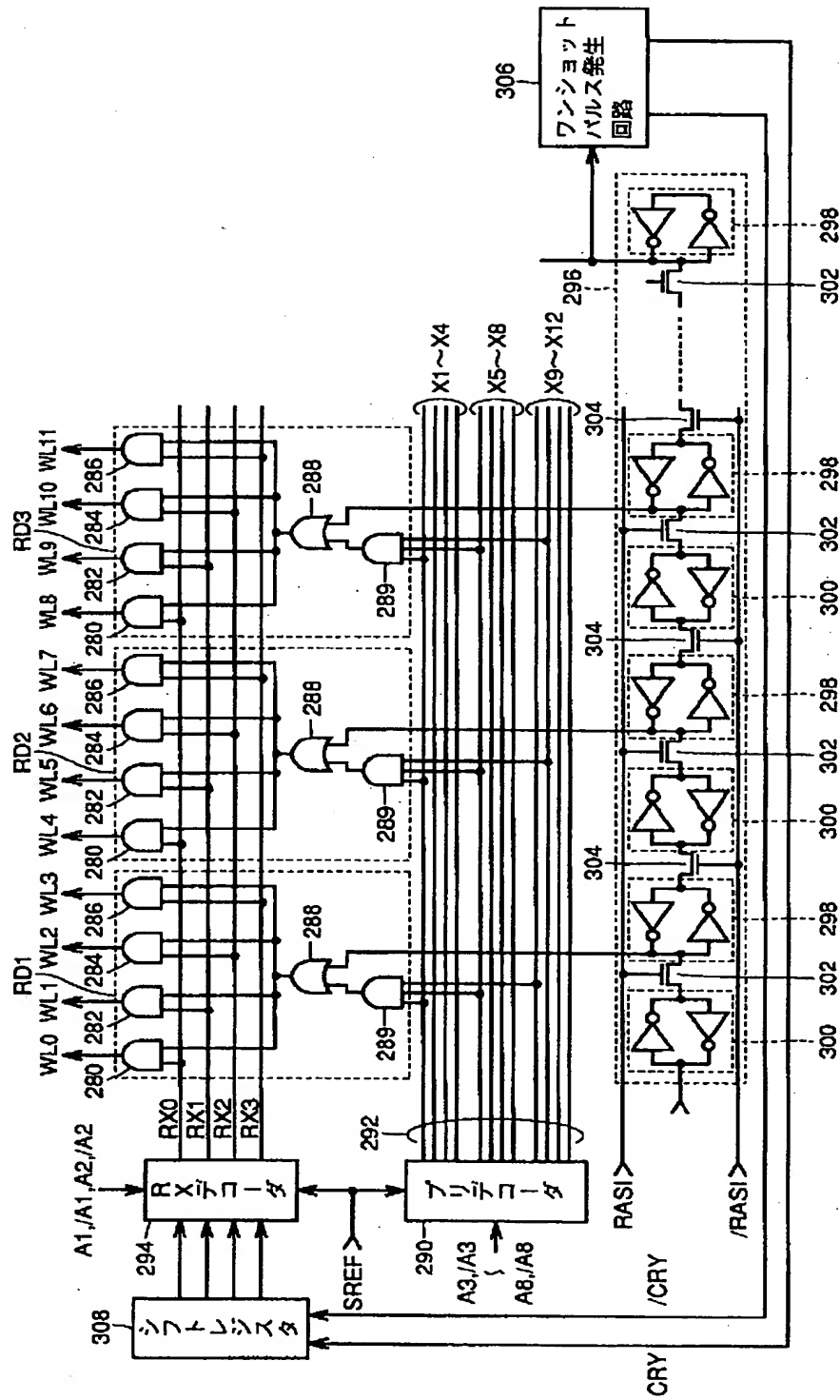
【図33】



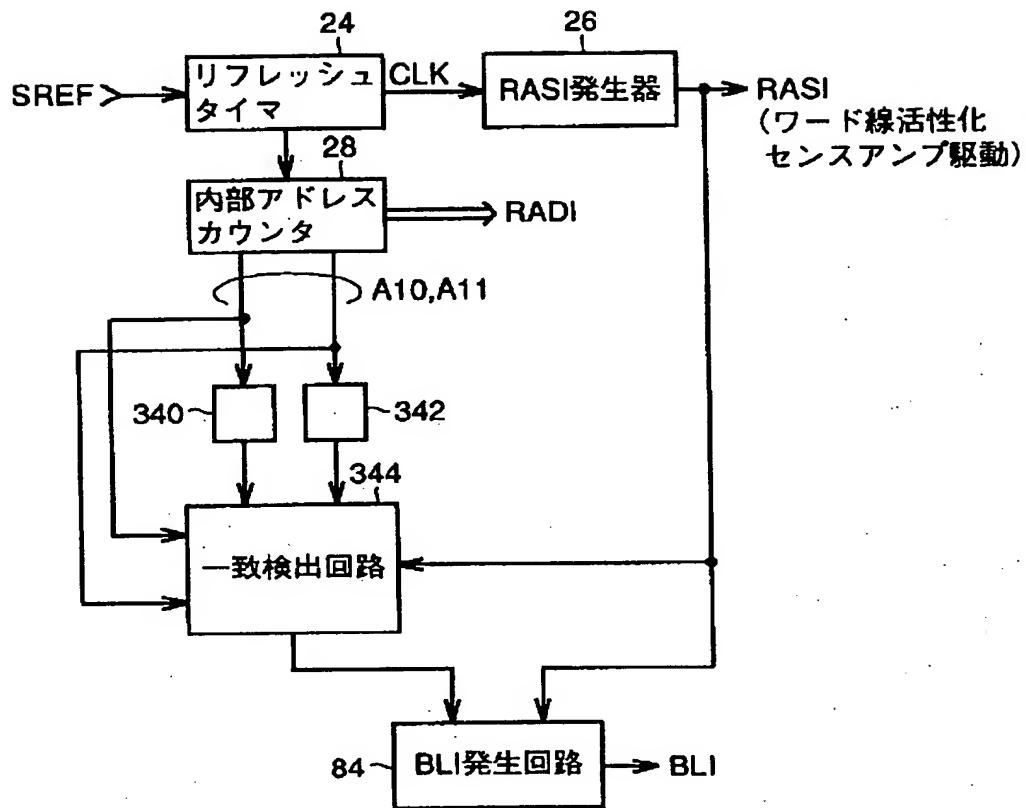
【図36】



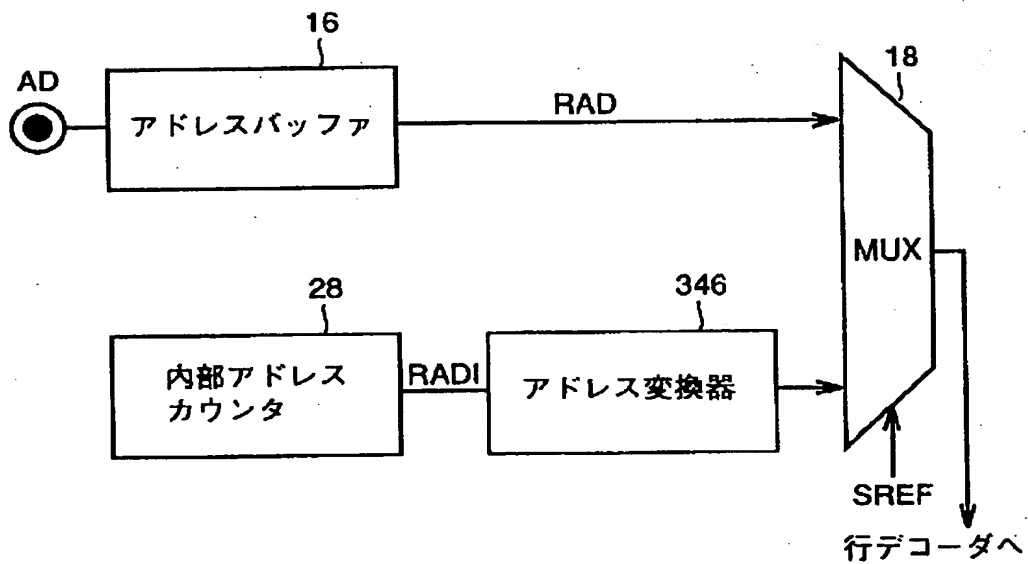
【図 30】



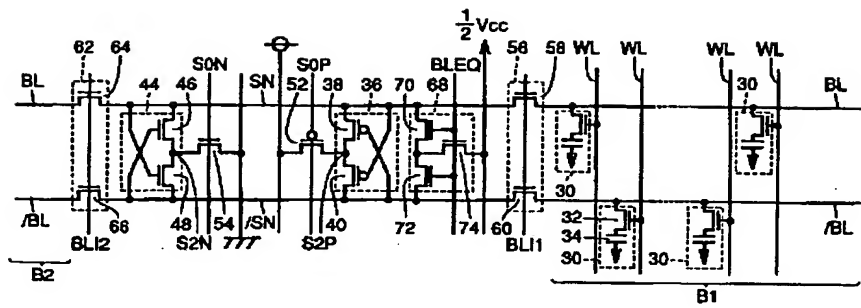
【図 35】



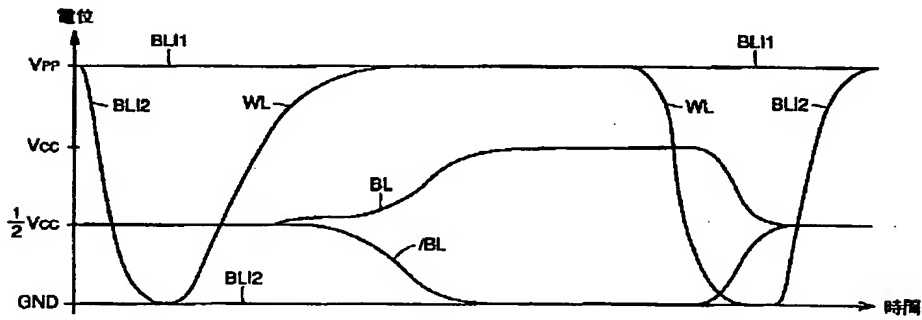
【図 37】



【図 39】



【図 40】



【図 41】

